

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2005 EPO. All rts. reserv.

17587515

Basic Patent (No,Kind,Date): CN 1337669 A 20020227 <No. of Patents: 004>

**LIQUID CRYSTAL DISPLAY APPARATUS AND DRIVE METHOD THEREOF**  
(English)

Patent Assignee: SEMICONDUCTOR ENERGY SOURCE IN (JP)

Author (Inventor): URU KOYAMA (JP)

IPC: \*G09G-003/36; G02F-011/36

Language of Document: Chinese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CN 1337669	A	20020227	CN 2001124995	A	20010808	(BASIC)
JP 2002149138	A2	20020524	JP 2001235487	A	20010802	
US 20020024485	AA	20020228	US 916306	A	20010730	
TW 518533	B	20030121	TW 90119163	A	20010806	

Priority Data (No,Kind,Date):

JP 2000240332 A 20000808

JP 2001235487 A 20010802

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07280674      \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREFOR

PUB. NO.:        2002-149138 [JP 2002149138 A]

PUBLISHED:      May 24, 2002 (20020524)

INVENTOR(s):    KOYAMA JUN

APPLICANT(s):   SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:       2001-235487 [JP 2001235487]

FILED:           August 02, 2001 (20010802)

PRIORITY:        2000-240332 [JP 2000240332], JP (Japan), August 08, 2000  
(20000808)

INTL CLASS:      G09G-003/36; G02F-001/133; G09F-009/30; G09F-009/35;  
G09G-003/20

ABSTRACT

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device permitting low power consumption by using a driving circuit and pixels having a new circuit configuration.

**SOLUTION:** The liquid crystal display device for displaying a video using an n-bit (n: a natural number) digital video signal can be provided with a function of storing the video signals for m-pieces of frames (the diagram shows an example assuming n=3 and m=2, respectively, and storage circuits A1-A3, B1-B3 store the digital video signals for 3 bits  $\times$  2 frames) by providing each pixel with (n $\times$ m) pieces (m: a natural number) of built-in storage circuits. Therefore, to display a still picture, the display is performed in each frame by repeatedly reading the digital video signals stored once in the storage circuits and thereby halting the drive of the source signal driving circuit for the while, and thus the liquid crystal display device is reduced in power consumption.

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-149138

(P 2 0 0 2 - 1 4 9 1 3 8 A)

(43)公開日 平成14年5月24日(2002.5.24)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	505	G02F 1/133	505 5C006
G09F 9/30	338	G09F 9/30	338 5C080
	9/35		9/35 5C094
G09G 3/20	611	G09G 3/20	611 A

審査請求 未請求 請求項の数22 OL (全35頁) 最終頁に続く

(21)出願番号	特願2001-235487(P2001-235487)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成13年8月2日(2001.8.2)	(72)発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31)優先権主張番号	特願2000-240332(P2000-240332)		
(32)優先日	平成12年8月8日(2000.8.8)		
(33)優先権主張国	日本(JP)		

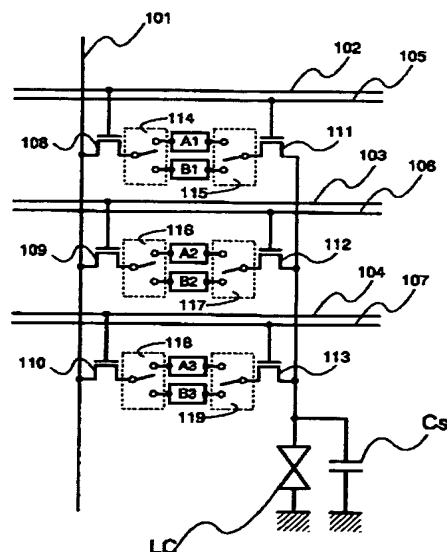
[最終頁に続く](#)

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 新規の回路構成を有する駆動回路および画素を用いて、低消費電力化が可能な液晶表示装置の提供を課題とする。

【解決手段】  $n$ ビット ( $n$ は自然数)のデジタル映像信号を用いて映像表示を行う液晶表示装置において、1画素あたり  $n \times m$ 個 ( $m$ は自然数)の記憶回路を内蔵することにより、 $m$ フレーム分のデジタル映像信号を画素内に記憶する機能(例示した図においては  $n = 3$ 、 $m = 2$ としている例で、記憶回路A1~A3、B1~B3によって3ビット  $\times$  2フレーム分を記憶する)を有する。よって、静止画像の表示は、一旦記憶回路に記憶されたデジタル映像信号を繰り返し読み出して各フレームで表示を行うことにより、その間のソース信号線駆動回路の駆動を停止して、液晶表示装置の消費電力を低減する。



- 101 : ソース信号線
- 102~104 : 書き込み用ゲート信号線
- 105~107 : 読み出し用ゲート信号線
- 108~110 : 書き込み用TFT
- 111~113 : 読み出し用TFT
- 114, 116, 118 : 書き込み用記憶回路選択線
- 115, 117, 119 : 読み出し用記憶回路選択線

## 【特許請求の範囲】

【請求項 1】複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、複数の記憶回路を有することを特徴とする液晶表示装置。

【請求項 2】複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、 $n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路を有すること

を特徴とする液晶表示装置。

【請求項 3】複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、ソース信号線と、 $n$ 本 ( $n$ は自然数、 $2 \leq n$ ) の書き込み用ゲート信号線と、 $n$ 本の読み出し用ゲート信号線と、 $n$ 個の書き込み用トランジスタと、 $n$ 個の読み出し用トランジスタと、 $n$ ビットのデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$ 個の書き込み用記憶回路選択部と、 $n$ 個の読み出し用記憶回路選択部

と、液晶素子とを有し、

前記  $n$  個の書き込み用トランジスタのゲート電極はそれぞれ、前記  $n$  本の書き込み用ゲート信号線の、それぞれ異なるいずれか 1 本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方はソース信号線と電氣的に接続され、他方は前記  $n$  個の書き込み用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号入力部と電氣的に接続され、

前記  $n$  個の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の信号出力部はそれぞれ、異なる  $m$  個の前記記憶回路の信号入力部と電氣的に接続され、

前記  $n$  個の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる  $m$  個の前記記憶回路の信号出力部と電氣的に接続され、

前記  $n$  個の読み出し用トランジスタのゲート電極はそれぞれ、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか 1 本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 4】複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、 $n$ 本 ( $n$ は自然数、 $2 \leq n$ ) のソース信号線と、書き込み用ゲート信号線と、 $n$ 本の読み出し用ゲート信号線と、 $n$ 個の書き込み用トランジスタと、 $n$ 個の読み出し用トランジスタと、 $n$ ビッ

トのデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$  個の書き込み用記憶回路選択部と、 $n$  個の読み出し用記憶回路選択部と、液晶素子とを有し、

前記  $n$  個の書き込み用トランジスタのゲート電極はそれぞれ、前記書き込み用ゲート信号線と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  本のソース信号線の、それぞれ異なる 1 本と電氣的に接続され、他方は他方は前記  $n$  個の書き込み用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号入力部と電氣的に接続され、

前記  $n$  個の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の信号出力部はそれぞれ、異なる  $m$  個の前記記憶回路の信号入力部と電氣的に接続され、

前記  $n$  個の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる  $m$  個の前記記憶回路の信号出力部と電氣的に接続され、

前記  $n$  個の読み出し用トランジスタのゲート電極はそれぞれ、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか 1 本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 5】請求項 3 もしくは請求項 4 のいずれか 1 項において、

前記書き込み用記憶回路選択部は、前記  $m$  個の記憶回路のうちいずれか 1 個を選択して、前期書き込み用トランジスタのソース領域とドレイン領域のうち一方と導通して前記デジタル映像信号の記憶回路への書き込みを行い、

前記読み出し用記憶回路選択部は、前記デジタル映像信号が記憶されている前記記憶回路のうちいずれか 1 個を選択して、前記読み出し用トランジスタのソース領域とドレイン領域のうち一方と導通して前記記憶されたデジタル映像の読み出しを行うことを特徴とする液晶表示装置。

【請求項 6】請求項 3 において、

クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、

前記サンプリングパルスにしたがって、 $n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号を保持する第 1 のラッチ回路と、

前記第 1 のラッチ回路に保持された前記  $n$  ビットのデジタル映像信号が転送される第 2 のラッチ回路と、

前記第 2 のラッチ回路に転送された前記  $n$  ビットのデジタル映像信号を 1 ビットずつ順に選択し、前記ソース信

号線に出力する、ビット信号選択スイッチとを有することを特徴とする液晶表示装置。

【請求項 7】請求項 4 において、  
クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、  
前記サンプリングパルスにしたがって、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号のうち、1 ビットの前記デジタル映像信号を保持する第 1 のラッチ回路と、

前記第 1 のラッチ回路に保持された前記 1 ビットの前記デジタル映像信号が転送され、前記ソース信号線に前記 1 ビットの前記デジタル映像信号を出力する第 2 のラッチ回路とを有することを特徴とする液晶表示装置。

【請求項 8】請求項 4 において、  
クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、  
前記サンプリングパルスにしたがって、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号のうち、1 ビットの前記デジタル映像信号を保持し、前記ソース信号線に前記 1 ビットの前記デジタル映像信号を出力する第 1 のラッチ回路とを有することを特徴とする液晶表示装置。

【請求項 9】請求項 1 乃至請求項 8 のいずれか 1 項において、

前記記憶回路はスタティック型メモリ (SRAM) であることを特徴とする液晶表示装置。

【請求項 10】請求項 1 乃至請求項 8 のいずれか 1 項において、

前記記憶回路は強誘電体メモリ (FeRAM) であることを特徴とする液晶表示装置。

【請求項 11】請求項 1 乃至請求項 8 のいずれか 1 項において、

前記記憶回路はダイナミック型メモリ (DRAM) であることを特徴とする液晶表示装置。

【請求項 12】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記記憶回路は、ガラス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 13】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記記憶回路は、プラスチック基板上に形成されていることを特徴とする液晶表示装置。

【請求項 14】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記記憶回路は、ステンレス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 15】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする液晶表示装置。

【請求項 16】 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジ

タル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、

シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

10 前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、

前記ゲート信号線駆動回路においては、

ゲート信号線選択パルスが出力されてゲート信号線が選択され、前記複数の画素においてはそれぞれ、前記ゲート信号線が選択されている行において、ソース信号線より入力される  $n$  ビットのデジタル映像信号の記憶回路への書き込みと、前記記憶回路に記憶された前記  $n$  ビットのデジタル映像信号の読み出しとを行うことを特徴とする液晶表示装置の駆動方法。

20 【請求項 17】 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、

30 前記ゲート信号線駆動回路は、ゲート信号線選択パルスを出力して、前記ゲート信号線を、1 行目から順次選択し、前記複数の画素においては、1 行目から順次前記  $n$  ビットのデジタル映像信号の書き込みが行われることを特徴とする液晶表示装置の駆動方法。

【請求項 18】 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、前記ゲート信号線駆動回路は、ゲート

信号線選択パルスを、前記ゲート信号線の任意の行を特定して出力することによって選択し、前記複数の画素においては、前記ゲート信号線が選択されている任意の行において、前記  $n$  ビットのデジタル映像信号の書き込み

が行われることを特徴とする液晶表示装置の駆動方法。

【請求項19】請求項16乃至請求項18のいずれか1項において、静止画像の表示期間においては、前記記憶回路に記憶された前記nビットのデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路を停止することを特徴とする液晶表示装置の駆動方法。

【請求項20】請求項1乃至請求項15のいずれか1項に記載の前記液晶表示装置を用いたことを特徴とする電子装置。

【請求項21】請求項16乃至請求項19のいずれか1項に記載の前記液晶表示装置の駆動方法を用いたことを特徴とする電子装置。

【請求項22】請求項20もしくは請求項21のいずれか1項において、前記電子装置とは、テレビ、パーソナルコンピュータ、携帯端末、ビデオカメラ、ヘッドマウントディスプレイのいずれか1つであることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体表示装置（以下表示装置と表記する）の駆動回路および駆動回路を用いた表示装置に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。その中で特に、映像ソースとしてデジタル映像信号を用いるアクティブマトリクス型液晶表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下TFTと表記する）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきている。

【0004】通常のデジタル方式の液晶表示装置の概略図を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、第1のラッチ回

路1304、第2のラッチ回路1305、D/A変換回路1306、アナログスイッチ1307等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【0005】ソース信号線駆動回路1301に関しては、図14に示すような構成を有している。図14に例として示す駆動回路は、水平方向解像度1024画素、3ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路（SR）1401、第1のラッチ回路（LAT1）1402、第2のラッチ回路（LAT2）1403、D/A変換回路（D/A）1404等を有する。なお、図14では図示していないが、必要に応じてバッファ回路、レベルシフト回路等を配置しても良い。

【0006】図13および図14を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303（図14中、SRと表記）にクロック信号（S-CLK、S-CLKb）およびスタートパルス（S-SP）が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路1304（図14中、LAT1と表記）に入力され、同じく第1のラッチ回路1304に入力されたデジタル映像信号（Digital Data）をそれぞれ保持していく。この期間を、ドットデータサンプリング期間という。ここで、D1が最上位ビット（MSB:Most Significant Bit）、D3が最下位ビット（LSB:Least Significant Bit）である。第1のラッチ回路1304において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されているデジタル映像信号は、ラッチ信号（Latch Pulse）の入力に従い、一斉に第2のラッチ回路1305（図14中、LAT2と表記）へと転送される。第1のラッチ回路から、第2のラッチ回路にデジタル映像信号が転送される期間を、ラインデータラッチ期間という。

【0007】その後、再びシフトレジスタ回路1303が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第2のラッチ回路1305で保持されているデジタル映像信号は、D/A変換回路1306（図14中、DACと表記）にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【0008】

【発明が解決しようとする課題】

【0009】一般的なアクティブマトリクス型液晶表示

装置においては、動画の表示をスムーズに行うため、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0010】静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は1フレーム毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

【0011】特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように駆動回路は静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0012】本発明は前述のような問題点を鑑みて、新規の回路を用いることにより、静止画の表示時における駆動回路の消費電力を低減することを課題とする。

【0013】

【課題を解決するための手段】 前述の課題を解決するために、本発明では次のような手段を用いた。

【0014】画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行って以降は、ソース信号線駆動回路を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【0015】以下に、本発明の液晶表示装置の構成について記載する。

【0016】本発明の液晶表示装置は、複数の画素を有する液晶表示装置において、前記複数の画素はそれぞれ、複数の記憶回路を有することを特徴としている。

【0017】本発明の液晶表示装置は、複数の画素を有する液晶表示装置において、前記複数の画素はそれぞれ、 $n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路を有することを特徴としている。

【0018】本発明の液晶表示装置は、複数の画素を有する液晶表示装置において、前記複数の画素はそれぞれ、ソース信号線と、 $n$ 本 ( $n$ は自然数、 $2 \leq n$ ) の書き込み用ゲート信号線と、 $n$ 本の読み出し用ゲート信号線と、 $n$ 個の書き込み用トランジスタと、 $n$ 個の読み出し用トランジスタと、 $n$ ビットのデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$ 個の書き込み用記憶回路選択部と、 $n$ 個の読み出し用記憶回路選択部と、液晶素子とを有し、前記  $n$  本の書き込み用ゲート信号線の、それぞれ異なるいずれか1本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方はソース信号線と電氣的に接続され、他方は前記  $n$  本の書き込み用記憶回路選択部の、それぞれ異なるいずれか1個の信号入力部と電氣的に接続され、前記  $n$  本の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の信号出力部はそれぞれ、異なる  $m$  個の前記記憶回路の信号入力部と電氣的に接続され、前記  $n$  本の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる  $m$  個の前記記憶回路の信号出力部と電氣的に接続され、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか1本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか1個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴としている。

10

20

30

40

50

し用トランジスタと、 $n$ ビットのデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$ 個の書き込み用記憶回路選択部と、 $n$ 個の読み出し用記憶回路選択部と、液晶素子とを有し、前記  $n$  本の書き込み用トランジスタのゲート電極はそれぞれ、前記  $n$  本の書き込み用ゲート信号線の、それぞれ異なるいずれか1本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方はソース信号線と電氣的に接続され、他方は前記  $n$  本の書き込み用記憶回路選択部の、それぞれ異なるいずれか1個の信号入力部と電氣的に接続され、前記  $n$  本の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の信号出力部はそれぞれ、異なる  $m$  個の前記記憶回路の信号入力部と電氣的に接続され、前記  $n$  本の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる  $m$  個の前記記憶回路の信号出力部と電氣的に接続され、前記  $n$  本の読み出し用トランジスタのゲート電極はそれぞれ、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか1本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか1個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴としている。

【0019】本発明の液晶表示装置は、複数の画素を有する液晶表示装置において、前記複数の画素はそれぞれ、 $n$ 本 ( $n$ は自然数、 $2 \leq n$ ) のソース信号線と、書き込み用ゲート信号線と、 $n$ 本の読み出し用ゲート信号線と、 $n$ 個の書き込み用トランジスタと、 $n$ 個の読み出し用トランジスタと、 $n$ ビットのデジタル映像信号を  $m$  フレーム分 ( $m$ は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$ 個の書き込み用記憶回路選択部と、 $n$ 個の読み出し用記憶回路選択部と、液晶素子とを有し、前記  $n$  本の書き込み用トランジスタのゲート電極はそれぞれ、前記書き込み用ゲート信号線と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  本のソース信号線の、それぞれ異なる1本と電氣的に接続され、他方は他方は前記  $n$  本の書き込み用記憶回路選択部の、それぞれ異なるいずれか1個の信号入力部と電氣的に接続され、前記  $n$  本の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の信号出力部はそれぞれ、異なる  $m$  個の前記記憶回路の信号入力部と電氣的に接続され、前記  $n$  本の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる  $m$  個の前記記憶回路の信号出力部と電氣的に接続され、前記  $n$  本の読み出し用トランジスタのゲート電極はそれぞれ、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか1本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか1個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴としている。

部の、それぞれ異なるいずれか 1 個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴としている。

【0020】本発明の液晶表示装置は、請求項 3 もしくは請求項 4 のいずれか 1 項において、前記書き込み用記憶回路選択部は、前記  $m$  個の記憶回路のうちいずれか 1 個を選択して、前期書き込み用トランジスタのソース領域とドレイン領域のうち一方と導通して前記デジタル映像信号の記憶回路への書き込みを行い、前記読み出し用記憶回路選択部は、前記デジタル映像信号が記憶されて 10 いる前記記憶回路のうちいずれか 1 個を選択して、前記読み出し用トランジスタのソース領域とドレイン領域のうち一方と導通して前記記憶されたデジタル映像の読み出しを行うことを特徴としている。

【0021】本発明の液晶表示装置は、請求項 3 において、クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、前記サンプリングパルスにしたがって、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を保持する第 1 のラッチ回路と、前記第 1 のラッチ回路に保持された前記  $n$  20 ビットのデジタル映像信号が転送される第 2 のラッチ回路と、前記第 2 のラッチ回路に転送された前記  $n$  ビットのデジタル映像信号を 1 ビットずつ順に選択し、前記ソース信号線に出力する、ビット信号選択スイッチとを有することを特徴としている。

【0022】本発明の液晶表示装置は、請求項 4 において、クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、前記サンプリングパルスにしたがって、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号のうち、1 ビットの 30 前記デジタル映像信号を保持する第 1 のラッチ回路と、前記第 1 のラッチ回路に保持された前記 1 ビットの前記デジタル映像信号が転送され、前記ソース信号線に前記 1 ビットの前記デジタル映像信号を出力する第 2 のラッチ回路とを有することを特徴としている。

【0023】本発明の液晶表示装置は、請求項 4 において、クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、前記サンプリングパルスにしたがって、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号のうち、1 ビットの 40 前記デジタル映像信号を保持し、前記ソース信号線に前記 1 ビットの前記デジタル映像信号を出力する第 1 のラッチ回路とを有することを特徴としている。

【0024】本発明の液晶表示装置は、請求項 1 乃至請求項 8 のいずれか 1 項において、前記記憶回路はスタティック型メモリ (SRAM) であることを特徴としている。

【0025】本発明の液晶表示装置は、請求項 1 乃至請求項 8 のいずれか 1 項において、前記記憶回路は強誘電体メモリ (FeRAM) であることを特徴としている。 50

【0026】本発明の液晶表示装置は、請求項 1 乃至請求項 8 のいずれか 1 項において、前記記憶回路はダイナミック型メモリ (DRAM) であることを特徴としている。

【0027】本発明の液晶表示装置は、請求項 1 乃至請求項 11 のいずれか 1 項において、前記記憶回路は、ガラス基板上に形成されていることを特徴としている。

【0028】本発明の液晶表示装置は、請求項 1 乃至請求項 11 のいずれか 1 項において、前記記憶回路は、プラスチック基板上に形成されていることを特徴としている。

【0029】本発明の液晶表示装置は、請求項 1 乃至請求項 11 のいずれか 1 項において、前記記憶回路は、ステンレス基板上に形成されていることを特徴としている。

【0030】本発明の液晶表示装置は、請求項 1 乃至請求項 11 のいずれか 1 項において、前記記憶回路は、単結晶ウェハ上に形成されていることを特徴としている。

【0031】本発明の液晶表示装置の駆動方法は、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、前記液晶表示装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、前記ゲート信号線駆動回路においては、ゲート信号線選択パルスが出力されてゲート信号線が選択され、前記複数の画素においてはそれぞれ、前記ゲート信号線が選択されている行において、ソース信号線より入力される  $n$  ビットのデジタル映像信号の記憶回路への書き込みと、前記記憶回路に記憶された前記  $n$  ビットのデジタル映像信号の読み出しとを行うことを特徴としている。

【0032】本発明の液晶表示装置の駆動方法は、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、前記ゲート信号線駆動回路は、ゲート信号線選択パルスを出力して、前記ゲート信号線を、1 行目から順次選択し、前記複数の画素においては、1 行目から順次前記  $n$  ビットのデジタル映像信号の書き込みが行われることを特徴としている。

【0033】本発明の液晶表示装置の駆動方法は、 $n$  ビ

ット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、前記ゲート信号線駆動回路は、ゲート信号線選択パルスを、前記ゲート信号線の任意の行を特定して出力することによって選択し、前記複数の画素においては、前記ゲート信号線が選択されている任意の行において、前記  $n$  ビットのデジタル映像信号の書き込みが行われることを特徴としている。

【0034】本発明の液晶表示装置の駆動方法は、請求項 16 乃至請求項 18 のいずれか 1 項において、静止画像の表示期間においては、前記記憶回路に記憶された前記  $n$  ビットのデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路を停止することを特徴としている。

【0035】

【発明の実施の形態】図 2 は、複数の記憶回路を有する画素を用いた表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 201、第 1 のラッチ回路 202、第 2 のラッチ回路 203、ビット信号選択スイッチ 204、画素 205 を有する。210 は、ゲート信号線駆動回路あるいは外部から直接供給される、ゲート信号線選択信号が入力されるゲート信号線であり、画素の説明とともに後述する。

【0036】図 1 は、図 2 における画素 205 の構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものであり、液晶素子 (LC)、保持容量 (Cs)、記憶回路 (A1~A3 および B1~B3) 等を有している。101 はソース信号線、102~104 は書き込み用ゲート信号線、105~107 は、読み出し用ゲート信号線、108~110 は書き込み用 TFT、111~113 は読み出し用 TFT、114 は第 1 の書き込み用記憶回路選択部、115 は第 1 の読み出し用記憶回路選択部、116 は第 2 の書き込み用記憶回路選択部、117 は第 2 の読み出し用記憶回路選択部、118 は第 3 の書き込み用記憶回路選択部、119 は第 3 の読み出し用記憶回路選択部である。

【0037】図 1 に示した画素が有する記憶回路 (A1~A3 および B1~B3) は、それぞれ 1 ビットのデジタル映像信号を記憶することが出来、ここでは A1~A3 を 1 組、B1~B3 を 1 組として用い、各々 3 ビットのデジタル映像信号の記憶を行う。つまり、図 1 に示した画素は、3 ビットのデジタル映像信号を 2 フレーム分

記憶することが出来る。

【0038】図 3 は、図 1 に示した本発明の表示装置におけるタイミングチャートである。表示装置は 3 ビットデジタル階調、VGA のものを対象としている。図 1~図 3 を用いて、駆動方法について説明する。なお、各番号は、図 1~図 3 のものをそのまま用いる (図番は省略する)。

【0039】図 2 および図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を  $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  と表記して説明する。まず、フレーム期間  $\alpha$  における回路動作について説明する。

【0040】従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路 201 にクロック信号 (S-CLK、S-CLKb) およびスタートパルス (S-SP) が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第 1 のラッチ回路 202 (LAT1) に入力され、同じく第 1 のラッチ回路 202 に入力されたデジタル映像信号 (Digital Data) をそれぞれ保持していく。1 水平期間分のドットデータサンプリング期間は、図 3 (A) において 1~480 で示す各期間である。デジタル映像信号は 3 ビットであり、D1 が MSB (Most Significant Bit: 最上位ビット)、D3 が LSB (Least Significant Bit: 最下位ビット) である。第 1 のラッチ回路 202 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 202 で保持されているデジタル映像信号は、ラッチ信号 (Latch Pulse) の入力に従い、一斉に第 2 のラッチ回路 203 (LAT2) へと転送される。

【0041】続いて、再びシフトレジスタ回路 201 から出力されるサンプリングパルスに従い、次の水平周期分のデジタル映像信号の保持動作が行われる。

【0042】一方、第 2 のラッチ回路 203 に転送されたデジタル映像信号は、画素内に配置された記憶回路に書き込まれる。図 3 (B) に示すように、次列のドットデータサンプリング期間を I、II および III と 3 分割し、第 2 のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ 204 によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【0043】期間 I では、書き込み用ゲート信号線 102 にパルスが入力されて、書き込み用 TFT 108 が導通し、記憶回路選択部 114 が記憶回路 A1 を選択し、記憶回路 A1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 103 にパルスが入力されて、書き込み用 TFT 109 が導通し、記憶回路選択部 116 が記憶回路 A2 を選択し、記憶回路 A2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 104 にパルスが入力されて、書き込み用 TFT 110 が導通し、記憶回路

選択部 118 が記憶回路 A3 を選択し、記憶回路 A3 にデジタル映像信号が書き込まれる。

【0044】以上で、1 水平期間分のデジタル映像信号の処理が終了する。図 3 (B) の期間は、図 3 (A) において※印で示された期間である。以上の動作を最終段まで行うことにより、1 フレーム分のデジタル映像信号が記憶回路 A に書き込まれる。

【0045】ところで、本発明の表示装置においては、3 ビットのデジタル階調を、時間階調方式により表現する。時間階調方式とは、画素に印加する電圧によって輝度の制御を行う通常の方式と異なり、画素には 2 種類の電圧のみを印加して ON、OFF (表示上は白、黒) の 2 状態を用い、表示時間の差を利用して階調を得る方式である。時間階調方式において n ビットの階調表現を行う際には、その表示期間を n 個の期間に分割し、各期間の長さの比を  $2^{n-1} : 2^{n-2} : \dots : 2^0$  のように 2 のべき乗とし、どの期間で画素を ON の状態にするかによって、表示期間の長さに差を生じ、もって階調の表現を行う。なお、ここで画素が ON の状態にあるとは、電圧が印加されている状態をいい、OFF の状態にあるとは、電圧が印加されていない状態を言う。以下このような状態を ON、OFF として表記する。

【0046】また、表示期間の長さを 2 のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0047】以上をふまえて、フレーム期間  $\beta$  における動作について説明する。最終段における記憶回路への書き込みが終了すると、1 フレーム目の表示が行われる。図 3 (C) は、3 ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路 A1 ~ A3 に記憶されている。Ts1 は、第 1 ビットデータによる表示期間、Ts2 は、第 2 ビットデータによる表示期間、Ts3 は、第 3 ビットデータによる表示期間であり、各表示期間の長さは、Ts1 : Ts2 : Ts3 = 4 : 2 : 1 となっている。

【0048】ここでは 3 ビットであるから、輝度は 0 ~ 7 までの 8 段階が得られる。Ts1 ~ Ts3 のいずれの期間においても表示が行われない場合には輝度 0、全ての期間を用いて表示を行えば輝度 7 を得る。例えば、輝度 5 を表示したい場合には、Ts1 と Ts3 において画素を ON の状態とし、表示させればよい。

【0049】具体的に図を用いて説明する。Ts1 においては、読み出し用ゲート信号線 105 にパルスが入力されて、読み出し用 TFT111 が導通し、記憶回路選択部 115 が記憶回路 A1 を選択し、記憶回路 A1 に記憶されたデジタル映像信号にしたがって画素が駆動される。続いて、Ts2 においては、読み出し用ゲート信号線 106 にパルスが入力されて、読み出し用 TFT112 が導通し、記憶回路選択部 117 が記憶回路 A2 を選択し、記憶回路 A2 に記憶されたデジタル映像信号にし

たがって画素が駆動される。最後に、Ts3 においては、読み出し用ゲート信号線 107 にパルスが入力されて、読み出し用 TFT113 が導通し、記憶回路選択部 119 が記憶回路 A3 を選択し、記憶回路 A3 に記憶されたデジタル映像信号によって画素に電圧が印加される。

【0050】ここで、液晶表示装置の場合は、ノーマリーホワイトモードと、ノーマリーブラックモードがある。両者において、画素の ON、OFF で白、黒が逆となるため、前述の説明と輝度とが逆になる場合もある。

【0051】以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、前のフレーム期間でデジタル映像信号を記憶した記憶回路とは異なる記憶回路を用いる。

【0052】期間 I では、書き込み用ゲート信号線 102 にパルスが入力されて、書き込み用 TFT108 が導通し、記憶回路選択部 114 が記憶回路 B1 を選択し、記憶回路 B1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 103 にパルスが入力されて、書き込み用 TFT109 が導通し、記憶回路選択部 116 が記憶回路 B2 を選択し、記憶回路 B2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 104 にパルスが入力されて、書き込み用 TFT110 が導通し、記憶回路選択部 118 が記憶回路 B3 を選択し、記憶回路 B3 にデジタル映像信号が書き込まれる。

【0053】続いて、フレーム期間  $\gamma$  に入り、記憶回路 B1 ~ B3 に記憶されたデジタル映像信号に従って 2 フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1 フレーム目の表示が終了した記憶回路 A1 ~ A3 に再び記憶される。

【0054】その後、記憶回路 A1 ~ A3 に記憶されたデジタル映像信号の表示がフレーム期間  $\delta$  で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2 フレーム目の表示が終了した記憶回路 B1 ~ B3 に再び記憶される。

【0055】以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路 A1 ~ A3 にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路 A1 ~ A3 に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、ソース信号線駆動回路の駆動を停止させることが出来る。

【0056】さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の

読み出しは、ゲート信号線 1 本単位で行うことが可能である。すなわち、画面の書き換えを要する行においてのみ、ゲート信号線を選択し、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。

【0057】また、本実施形態においては、1 画素内に A1～A3 および B1～B3 の記憶回路を有し、3 ビットのデジタル映像信号を 2 フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、n ビットのデジタル映像信号を m フレーム分だけ記憶するには、1 画素内に  $n \times m$  個の記憶回路を有していれば良い。

【0058】以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、ソース信号線駆動回路を駆動することなく、継続的に静止画表示が可能となる。よって、液晶表示装置の低消費電力化に大きく貢献することが出来る。

【0059】また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【0060】さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1 ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【0061】

【実施例】以下に本発明の実施例について記述する。

【0062】【実施例 1】本実施例においては、実施形態において示した回路における記憶回路選択部を、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【0063】図 4 (A) は、図 1 に示した画素と同様のもので、記憶回路選択部 114～119 を実際に回路で構成した例である。図中、各部に付した番号において、図 1 と同じ部位については、図 1 と同じ番号を付している。記憶回路 A1～A3 および B1～B3 の各々に、書き込み選択用 TFT 401、403、405、407、409、411 と、読み出し選択用 TFT 402、404、406、408、410、412 とを設け、記憶回路選択信号線 413、414 によって制御する。

【0064】図 4 (B) は、記憶回路の一例を示したものである。点線枠 450 で示される部分が記憶回路 (図 4 (A) 中、A1～A3 および B1～B3 で示す部分) であり、451 は書き込み選択用 TFT、452 は読み出し選択用 TFT である。ここで示した記憶回路には、ループ状に接続された 2 つのインバータを用いてなるス

タティック型メモリ (Static RAM : SRAM) を用いているが、記憶回路に関してはこの構成に限定しない。ここで、記憶回路に SRAM を使用する場合には、画素は特に保持容量 (Cs) を持たない構造としても良い。

【0065】本実施例にて図 4 (A) で示した回路の駆動は、実施形態にて図 3 を用いて示したタイミングチャートに従って駆動することが出来る。図 3、図 4 (A) を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図 3、図 4 (A) のものをそのまま用いる (図番は省略する)。

【0066】図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を  $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  と表記して説明する。まず、フレーム期間  $\alpha$  における回路動作について説明する。

【0067】シフトレジスタ回路から第 2 のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【0068】まず、記憶回路選択信号線 413 にパルスが入力されて書き込み選択用 TFT 401、405、409 が導通し、記憶回路 A1～A3 への書き込みが可能となる。期間 I では、書き込み用ゲート信号線 102 にパルスが入力されて TFT 108 が導通し、記憶回路 A1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 103 にパルスが入力されて TFT 109 が導通し、記憶回路 A2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 104 にパルスが入力されて TFT 110 が導通し、記憶回路 A3 にデジタル映像信号が書き込まれる。

【0069】以上で、1 水平期間分のデジタル映像信号の処理が終了する。図 3 (B) の期間は、図 3 (A) において※印で示された期間である。以上の動作を最終段まで行うことにより、1 フレーム分のデジタル映像信号が記憶回路 A1～A3 に書き込まれる。

【0070】続いて、フレーム期間  $\beta$  における動作について説明する。最終段における記憶回路への書き込みが終了すると、1 フレーム目の表示が行われる。図 3

(C) は、3 ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路 A1～A3 に記憶されている。Ts1 は、第 1 ビットデータによる表示期間、Ts2 は、第 2 ビットデータによる表示期間、Ts3 は、第 3 ビットデータによる表示期間であり、各表示期間の長さは、Ts1 : Ts2 : Ts3 = 4 : 2 : 1 となっている。

【0071】ただし、表示期間の長さを 2 のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0072】ここでは 3 ビットであるから、輝度は 0～7 までの 8 段階が得られる。Ts1～Ts3 のいずれの期間においても表示が行われない場合には輝度 0、全て

の期間を用いて表示を行えば輝度 7 を得る。例えば、輝度 5 を表示したい場合には、T s 1 と T s 3 において画素を ON の状態とし、表示させればよい。

【0073】具体的に図を用いて説明する。記憶回路への書き込み動作が終了した後、表示期間に移る際に、記憶回路選択信号線 4 1 3 に入力されていたパルスが終了し、同時に記憶回路選択信号線 4 1 4 にパルスが入力され、書き込み用 T F T 4 0 1、4 0 5、4 0 9 は非導通状態となり、読み出し用 T F T 4 0 2、4 0 6、4 1 0 が導通して、記憶回路 A 1 ～ A 3 からの読み出しが可能となる。T s 1 においては、読み出し用ゲート信号線 1 0 5 にパルスが入力されて T F T 1 1 1 が導通し、記憶回路 A 1 に記憶されたデジタル映像信号にしたがって画素が駆動される。続いて、T s 2 においては、読み出し用ゲート信号線 1 0 6 にパルスが入力されて T F T 1 1 2 が導通し、記憶回路 A 2 に記憶されたデジタル映像信号にしたがって画素が駆動される。最後に、T s 3 においては、読み出し用ゲート信号線 1 0 7 にパルスが入力されて T F T 1 1 3 が導通し、記憶回路 A 3 に記憶されたデジタル映像信号によって画素に電圧が印加される。

【0074】以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、記憶回路 B 1 ～ B 3 を用いる。

【0075】なお、記憶回路 A 1 ～ A 3 に信号が書き込まれる期間においては、記憶回路 A 1 ～ A 3 への書き込み用 T F T 4 0 1、4 0 5、4 0 9 が導通しているが、同時に記憶回路 B 1 ～ B 3 からの読み出し用 T F T 4 0 4、4 0 8、4 1 2 も導通している。同様に、記憶回路 A 1 ～ A 3 からの読み出し用 T F T 4 0 2、4 0 6、4 1 0 が導通しているときは、同時に記憶回路 B 1 ～ B 3 への書き込み用 T F T 4 0 3、4 0 7、4 1 1 も導通しており、互いの記憶回路はあるフレーム期間において書き込みと読み出しが交互に行われる。

【0076】期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路 B 1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路 B 2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 1 0 4 にパルスが入力されて T F T 1 1 0 が導通し、記憶回路 B 3 にデジタル映像信号が書き込まれる。

【0077】続いて、フレーム期間  $\gamma$  に入り、記憶回路 B 1 ～ B 3 に記憶されたデジタル映像信号に従って 2 フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル

映像信号は、1 フレーム目の表示が終了した記憶回路 A 1 ～ A 3 に再び記憶される。

【0078】その後、記憶回路 A 1 ～ A 3 に記憶されたデジタル映像信号の表示がフレーム期間  $\delta$  で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2 フレーム目の表示が終了した記憶回路 B 1 ～ B 3 に再び記憶される。

【0079】以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

【0080】[実施例 2] 本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第 2 のラッチ回路を省略した例について記す。

【0081】図 5 は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 5 0 1、ラッチ回路 5 0 2、画素 5 0 3 を有する。5 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【0082】図 20 は、図 5 に示した画素 5 0 3 の回路構成の詳細図である。実施例 1 と同様、3 ビットデジタル階調に対応したものであり、液晶素子 (L C)、保持容量 (C s)、記憶回路 (A 1 ～ A 3 および B 1 ～ B 3) 等を有している。書き込み用記憶回路選択部 2 0 1 4、2 0 1 6、2 0 1 8 および読み出し用記憶回路選択部 2 0 1 5、2 0 1 7、2 0 1 9 を、実施例 1 にならって構成したものを図 6 に示す。6 0 1 は第 1 ビット (M S B) 信号用ソース信号線、6 0 2 は第 2 ビット信号用ソース信号線、6 0 3 は第 3 ビット (L S B) 信号用ソース信号線、6 0 4 は書き込み用ゲート信号線、6 0 5 ～ 6 0 7 は、読み出し用ゲート信号線、6 0 8 ～ 6 1 0 は書き込み用 T F T、6 1 1 ～ 6 1 3 は読み出し用 T F T である。記憶回路選択部は、書き込み選択用 T F T 6 1 4、6 1 6、6 1 8、6 2 0、6 2 2、6 2 4 および読み出し選択用 T F T 6 1 5、6 1 7、6 1 9、6 2 1、6 2 3、6 2 5 等を用いて構成される。6 2 6 および 6 2 7 は、記憶回路選択信号線である。

【0083】図 7 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 6 および図 7 を用いて説明する。

【0084】シフトレジスタ回路 5 0 1 からラッチ回路 (L A T 1) 5 0 2 までの動作は実施形態および実施例 1 と同様に行われる。図 7 (B) に示すように、第 1 段

目でのラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線 6 0 4 にパルスが入力され、書き込み用 T F T 6 0 8 ~ 6 1 0 が導通し、さらに記憶回路選択信号線 6 2 6 にパルスが入力されて書き込み選択用 T F T 6 1 4、6 1 8、6 2 2 が導通して、記憶回路 A 1 ~ A 3 への書き込みが可能な状態となる。ラッチ回路 5 0 2 に保持されたビット毎のデジタル映像信号は、3 本のソース信号線 6 0 1 ~ 6 0 3 を経由して、同時に書き込まれる。

【0 0 8 5】第 1 段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【0 0 8 6】以上を 1 水平期間（図 7（A）中、※※で示す期間）内に行い、ゲート信号線の本数分が繰り返されて、フレーム期間  $\alpha$  における 1 フレーム分のデジタル映像信号の記憶回路への書き込みが終了すると、フレーム期間  $\beta$  で示される、1 フレーム目の表示期間に移る。書き込み用ゲート信号線 6 0 4 に入力されていたパルスが停止し、さらに記憶回路選択信号線 6 2 6 に入力されていたパルスが停止し、代わって記憶回路選択信号線 6 2 7 にパルスが入力されて読み出し選択用 T F T 6 1 5、6 1 9、6 2 3 が導通し、記憶回路 A 1 ~ A 3 からの読み出しが可能な状態となる。

【0 0 8 7】続いて、実施例 1 で示した時間階調方式により、図 7（C）に示すように、表示期間 T s 1 では、読み出し用ゲート信号線 6 0 5 にパルスが入力されて読み出し用 T F T 6 1 1 が導通し、記憶回路 A 1 に書き込まれているデジタル映像信号により、表示が行われる。続いて T s 2 では、読み出し用ゲート信号線 6 0 6 にパルスが入力されて読み出し用 T F T 6 1 2 が導通し、記憶回路 A 2 に書き込まれているデジタル映像信号により、表示が行われ、同様に T s 3 では、読み出し用ゲート信号線 6 0 7 にパルスが入力されて読み出し用 T F T 6 1 3 が導通し、記憶回路 A 3 に書き込まれているデジタル映像信号により、表示が行われる。

【0 0 8 8】以上で、1 フレーム目の表示期間が完了する。フレーム期間  $\beta$  では、同時に次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。続く記憶回路への書き込み期間においては、記憶回路 B 1 ~ B 3 を用いる。

【0 0 8 9】なお、記憶回路 A 1 ~ A 3 に信号が書き込まれる期間においては、記憶回路 A 1 ~ A 3 への書き込み用 T F T 6 1 4、6 1 8、6 2 2 が導通しているが、同時に記憶回路 B 1 ~ B 3 からの読み出し用 T F T 6 1 7、6 2 1、6 2 5 も導通している。同様に、記憶回路 A 1 ~ A 3 からの読み出し用 T F T 6 1 5、6 1 9、6 2 3 が導通しているときは、同時に記憶回路 B 1 ~ B 3

への書き込み用 T F T 6 1 6、6 2 0、6 2 4 も導通しており、互いの記憶回路は、あるフレーム期間において書き込みと読み出しが交互に行われる。

【0 0 9 0】記憶回路 B 1 ~ B 3 への書き込み動作、読み出し動作は記憶回路 A 1 ~ A 3 の場合と同様である。記憶回路 B 1 ~ B 3 への書き込みが終了すると、フレーム期間  $\gamma$  に入り、2 フレーム目の表示期間に移る。さらにこのフレーム期間では、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。続く記憶回路への書き込み期間においては、再び記憶回路 A 1 ~ A 3 を用いる。

【0 0 9 1】その後、記憶回路 A 1 ~ A 3 に記憶されたデジタル映像信号の表示がフレーム期間  $\delta$  で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2 フレーム目の表示が終了した記憶回路 B 1 ~ B 3 に再び記憶される。

【0 0 9 2】以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例 1 にて示した回路と比較すると、ラッチ回路の数を  $1/2$  とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【0 0 9 3】[実施例 3] 本実施例においては、実施例 2 にて示した、第 2 のラッチ回路を省略した液晶表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた液晶表示装置の例について記す。

【0 0 9 4】図 1 7 は、本実施例にて示す液晶表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 1 7 0 1、ラッチ回路 1 7 0 2、スイッチ回路 1 7 0 3、画素 1 7 0 4 を有する。1 7 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例 2 のものと同様で良いので、図 6 をそのまま参照する。

【0 0 9 5】図 1 8 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 6、図 1 7 および図 1 8 を用いて説明する。

【0 0 9 6】シフトレジスタ回路 1 7 0 1 からサンプリングパルスが出力され、ラッチ回路 1 7 0 2 で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例 1 および実施例 2 と同様である。本実施例では、ラッチ回路 1 7 0 2 と画素 1 7 0 4 内の記憶回路との間に、スイッチ回路 1 7 0 3 を有しているた

め、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路 1 7 0 3 は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【0 0 9 7】図 1 8 ( B ) に示すように、1 水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号 ( L a t c h P u l s e ) が入力されてスイッチ回路 1 7 0 3 が一斉に開き、ラッチ回路 1 7 0 2 で保持されていたデジタル映像信号は一斉に画素 1 7 0 4 内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素 1 7 0 4 内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素 1 7 0 4 内の動作については、実施例 2 と同様で良いので、ここでは説明を省略する。

【0 0 9 8】以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【0 0 9 9】[実施例 4] 本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部 ( ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路 ) の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

【0 1 0 0】まず、図 1 0 ( A ) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で  $S i H_4$ 、 $NH_3$ 、 $N_2O$  から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm] ( 好ましくは 5 0 ~ 1 0 0 [nm] ) 形成し、同様に  $S i H_4$ 、 $N_2O$  から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] ( 好ましくは 1 0 0 ~ 1 5 0 [nm] ) の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0 1 0 1】島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm] ( 好ましくは 3 0 ~ 6 0 [nm] ) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( S i G e ) 合金などで形成すると良い。

【0 1 0 2】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレ

ーザーや Y A G レーザー、Y V O<sub>4</sub> レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [mJ/cm<sup>2</sup>] ( 代表的には 2 0 0 ~ 3 0 0 [mJ/cm<sup>2</sup>] ) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 [kHz] とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [mJ/cm<sup>2</sup>] ( 代表的には 3 5 0 ~ 5 0 0 [mJ/cm<sup>2</sup>] ) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 [μm]、例えば 4 0 0 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 ( オーバーラップ率 ) を 8 0 ~ 9 8 [%] として行う。

【0 1 0 3】次いで、島状半導体層 5 0 0 3 ~ 5 0 0 6 を覆うゲート絶縁膜 5 0 0 7 を形成する。ゲート絶縁膜 5 0 0 7 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ C V D 法で T E O S ( Tetraethyl Orthosilicate ) と O<sub>2</sub> とを混合し、反応圧力 4 0 [Pa]、基板温度 3 0 0 ~ 4 0 0 [°C] とし、高周波 ( 1 3 . 5 6 [MHz] )、電力密度 0 . 5 ~ 0 . 8 [W/cm<sup>2</sup>] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 4 0 0 ~ 5 0 0 [°C] の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0 1 0 4】そして、ゲート絶縁膜 5 0 0 7 上にゲート電極を形成するための第 1 の導電膜 5 0 0 8 と第 2 の導電膜 5 0 0 9 とを形成する。本実施例では、第 1 の導電膜 5 0 0 8 を T a で 5 0 ~ 1 0 0 [nm] の厚さに形成し、第 2 の導電膜 5 0 0 9 を W で 1 0 0 ~ 3 0 0 [nm] の厚さに形成する。

【0 1 0 5】T a 膜はスパッタ法で、T a のターゲットを A r でスパッタすることにより形成する。この場合、A r に適量の X e や K r を加えると、T a 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α 相の T a 膜の抵抗率は 2 0 [μΩcm] 程度でありゲート電極に使用することが出来るが、β 相の T a 膜の抵抗率は 1 8 0 [μΩcm] 程度でありゲート電極とするには不向きである。α 相の T a 膜を形成するために、T a の α 相に近い結晶構造をもつ窒化タンタルを 1 0 ~ 5 0 [nm] 程度の厚さで T a の下地に形成しておくことと α 相の T a 膜を容易に得ることが出来る。

【0 1 0 6】W 膜を形成する場合には、W をターゲット

としたスパッタ法で形成する。その他に 6 フッ化タングステン (WF<sub>6</sub>) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 [ $\mu\Omega\text{cm}$ ] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 [%] の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 20 [ $\mu\Omega\text{cm}$ ] を実現することが出来る。

【0107】なお、本実施例では、第 1 の導電膜 5008 を Ta、第 2 の導電膜 5009 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第 1 の導電膜 5008 を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で形成し、第 2 の導電膜 5009 を W とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で形成し、第 2 の導電膜 5009 を Al とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で形成し、第 2 の導電膜 5009 を Cu とする組み合わせ等が挙げられる。

【0108】次に、レジストによるマスク 5010 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF<sub>4</sub> と C<sub>2</sub>F<sub>6</sub> を混合し、1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 [W] の RF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub> と C<sub>2</sub>F<sub>6</sub> を混合した場合には W 膜及び Ta 膜とも同程度にエッチングされる。

【0109】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。テーパ部の角度は 15 ~ 45 ° となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10 ~ 20 [%] 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は 2 ~ 4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20 ~ 50 [nm] 程度エッチングされることになる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 5011 ~ 5016 (第 1 の導電層 50

11a ~ 5016a と第 2 の導電層 5011b ~ 5016b) を形成する。このとき、ゲート絶縁膜 5007 においては、第 1 の形状の導電層 5011 ~ 5016 で覆われない領域は 20 ~ 50 [nm] 程度エッチングされ薄くなった領域が形成される。(図 10 (A))

【0110】そして、第 1 のドーピング処理を行い N 型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14}$  [atoms/cm<sup>2</sup>] とし、加速電圧を 60 ~ 100 [keV] として行う。N 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、導電層 5011 ~ 5016 が N 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 5017 ~ 5020 が形成される。第 1 の不純物領域 5017 ~ 5020 には  $1 \times 10^{18} \sim 1 \times 10^{21}$  [atoms/cm<sup>3</sup>] の濃度範囲で N 型を付与する不純物元素を添加する。

(図 10 (B))

【0111】次に、図 10 (C) に示すように、レジストマスクは除去しないまま、第 2 のエッチング処理を行う。エッチングガスに CF<sub>4</sub> と C<sub>2</sub>F<sub>6</sub> と O<sub>2</sub> を用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5021 ~ 5026 (第 1 の導電層 5021a ~ 5026a と第 2 の導電層 5021b ~ 5026b) を形成する。このとき、ゲート絶縁膜 5007 においては、第 2 の形状の導電層 5021 ~ 5026 で覆われない領域はさらに 20 ~ 50 [nm] 程度エッチングされ薄くなった領域が形成される。

【0112】W 膜や Ta 膜の CF<sub>4</sub> と C<sub>2</sub>F<sub>6</sub> の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。W と Ta のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF<sub>6</sub> が極端に高く、その他の WC<sub>2</sub>F<sub>6</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub> は同程度である。従って、CF<sub>4</sub> と C<sub>2</sub>F<sub>6</sub> の混合ガスでは W 膜及び Ta 膜共にエッチングされる。しかし、この混合ガスに適量の O<sub>2</sub> を添加すると CF<sub>4</sub> と O<sub>2</sub> が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、Ta は W に比較して酸化されやすいので、O<sub>2</sub> を添加することで Ta の表面が酸化される。Ta の酸化物はフッ素や塩素と反応しないためさらに Ta 膜のエッチング速度は低下する。従って、W 膜と Ta 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を Ta 膜よりも大きくすることが可能となる。

【0113】そして、図 11 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処

理よりもドーズ量を下げた高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>]のドーズ量で行い、図10 (B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5021～5026を不純物元素に対するマスクとして用い、第1の導電層5021a～5026aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5027～5031が形成される。この第2の不純物領域5027～5031に添加されたリン(P)の濃度は、第1の導電層5021a～5026aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5021a～5026aのテーパー部と重なる半導体層において、第1の導電層5021a～5026aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0114】続いて、図11 (B)に示すように第3のエッチング処理を行う。エッチングガスにCHF<sub>3</sub>を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5021a～5026aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5032～5037(第1の導電層5032a～5037aと第2の導電層5032b～5037b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5032～5037で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

【0115】第3のエッチング処理によって、第2の不純物領域5027～5031においては、第1の導電層5032a～5037aと重なる第2の不純物領域5027a～5031aと、第1の不純物領域と第2の不純物領域との間の第3の不純物領域5027b～5031bとが形成される。

【0116】そして、図11 (C)に示すように、Pチャンネル型TFTを形成する島状半導体層5004に、第1の導電型とは逆の導電型の第4の不純物領域5039～5044を形成する。第3の形状の導電層5033bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャンネル型TFTを形成する島状半導体層5003、5005、保持容量部5006および配線部5034はレジストマスク5038で全面を被覆しておく。不純物領域5039～5044にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{10}$ ～ $2 \times 10^{11}$  [atoms/cm<sup>3</sup>]となるようにする。

【0117】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5032、5033、5035、5036がゲート電極として機能する。また、5034は島状のソース信号線として機能する。5037は容量配線として機能する。

【0118】レジストマスク5038を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0119】さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0120】次いで、第1の層間絶縁膜5045は酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0121】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5050、画素電極5051、5052を形成する(図12 (A))。この接続電極5050により、ソース信号線5034は、画素TFTと電気的な接続が形成される。なお、画素電極5052及び保持容量は隣り合う画素のものである。

【0122】以上のようにして、Nチャンネル型TFT、Pチャンネル型TFTを有する駆動回路部と、画素TFT、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0123】本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0124】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（島状半導体層パターン、第1配線パターン（走査線、信号線、容量配線）、Pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0125】続いて、図12（B）の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上 10 に配向膜5053を形成しラビング処理を行う。

【0126】一方、対向基板5054を用意する。対向基板5054にはカラーフィルタ層5055～5057、オーバーコート層5058を形成する。カラーフィルタ層はTFTの上方で赤色のカラーフィルタ層5055と青色のカラーフィルタ層5056とを重ねて形成し遮光膜を兼ねる構成とする。少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィルタを重ねて配置することが好ましい。 20

【0127】また、接続電極5050に合わせて赤色のカラーフィルタ層5055、青色のカラーフィルタ層5056、緑色のカラーフィルタ層5057とを重ね合わせてスペーサを形成する。各色のカラーフィルタはアクリル樹脂に顔料を混合したもので1～3[μm]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層5058の厚さ1～4[μm]を考慮することにより2～7[μm]、好ましくは4～6[μm]とすることができ、この高さによりアクティブマトリクス 30 基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層5058は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0128】スペーサの配置は任意に決定すれば良いが、例えば図12（B）で示すように接続電極上に位置が合うように対向基板5054上に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサに対向基板5054上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。 40

【0129】オーバーコート層5058を形成した後、対向電極5059をパターンニング形成し、配向膜5060を形成した後ラビング処理を行う。

【0130】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤5062で貼り合わせる。シール剤5062にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その 50

後、両基板の間に液晶材料5061を注入し、封止剤（図示せず）によって完全に封止する。液晶材料5061には公知の液晶材料を用いれば良い。このようにして図12（B）に示すアクティブマトリクス型液晶表示装置が完成する。

【0131】なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0132】また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0133】[実施例5]本発明の表示装置においては、階調の表現手段として時間階調方式を用いている。よって、画素に液晶素子を用いる場合には、通常のアナログ階調方式に比較して、より迅速な応答速度が要求されるため、強誘電性液晶（Ferroelectrics Liquid Crystal：FLC）を用いることが望ましい。本実施例においては、実施例4で紹介した表示装置の作成工程において、液晶素子に強誘電性液晶を用いる場合の基板の作成例について記述する。説明には、図9を用いる。

【0134】実施例4に従い、図9（A）に示すアクティブマトリクス基板（図12（A）と同様）および対向基板5054を作成する。

【0135】アクティブマトリクス基板と対向基板に配向膜5101、5102を形成する。日産化学社製の配向膜RN1286を形成し、90℃で5分間プリベークした後、250℃で一時間ポストベークした。ポストベーク後の膜厚は40[nm]であった。配向膜の形成方法はフレキシ印刷法あるいはスピナー塗布法で行えば良い。RN1286はシール剤との密着性が悪いいため、シール剤が配置される位置は配向膜を除去する。また、アクティブマトリクス基板と対向基板を電気的に接続するコンタクトパッド上の配向膜と、フレキシブルプリント配線板（FlexiblePrint Circuit：FPC）を接続するリード線の上には配向膜を形成しない。

【0136】配向膜5101、5102をラビングする。このとき、対向基板5054とアクティブマトリクス基板を貼り合わせたときのラビング方向が平行になるようにする。ラビング処理はラビングの布として吉川化工社製のYA-20Rを用いた。常陽工学社製のラビング装置により、押しこみ量が0.25[mm]、ロール回転数が100[rpm]、ステージ速度が10[mm/sec.]、ラビング回数が1回でラビングした。ラビングロールの直径は130[mm]である。ラビング後に水流を基板面に照射して配向膜を洗浄した。

【0137】次に、シール剤5103を形成した。シール剤は液晶材料の注入口を一箇所に設け、真空下で注入

ができるパターンとすることが出来る。

【0138】シール剤を日立化成社製のシールディスペンサーにより対向基板上に形成した。シール剤は三井化学社製のXN-21Sを用いた。シール剤の仮焼成は90℃で30分行い、次の15分で徐冷した。

【0139】シール剤XN-21Sは熱プレスをして、2.3~2.6[μm]のセルギャップしか得られないことがわかっている。そこで1.0[μm]のセルギャップを形成するために、画素部に比べて、1.5[μm]以上積層膜の厚さが薄い領域を設けてシール剤を配置すると良い。本実施例では、第1の層間絶縁膜5045と第2の層間絶縁膜5046をエッチングにより除去した領域にシール材5103を配置する。

【0140】シール剤を形成すると同時に導電性スペーサ（図示しない）を形成する。

【0141】スペーサ（図示しない）を対向基板あるいはアクティブマトリクス基板に形成する。スペーサは球状のビーズを散布しても良い。あるいは、表示領域において感光性の樹脂をドット状またはストライプ状にパターンニングしても良い。スペーサにより液晶材料の配向欠陥がでないようにする。

【0142】反射型の液晶表示装置ではリタデーションの関係からセルギャップは0.5~1.5[μm]が望ましい。本実施例ではセルギャップを画素部において1.0[μm]になるようにする。

【0143】その後、ニュートム社製の貼り合わせ装置により、対向基板とアクティブマトリクス基板のマーカーを合わせ、貼り合わせを行った。

【0144】次に、0.3~1.0[kgf/cm<sup>2</sup>]の圧力を基板平面に垂直な方向にかつ基板全面に加えながら、クリーンオープンにて160℃、3時間で熱硬化を行い、シール剤を硬化し、対向基板とアクティブマトリクス基板を接着させる。

【0145】対向基板とアクティブマトリクス基板を貼り合わせてできる一對の基板を分断する。

【0146】液晶材料5104は双安定性を示す強誘電性液晶や、三安定性を示す反強誘電性液晶等を用いる。

【0147】液晶材料を等方相まで加熱し注入をする。その後、0.1℃/min.で室温まで徐冷した。

【0148】封止剤として注入口を覆うように小型のディスペンサーにより紫外線硬化型樹脂（図示しない）を塗布する。

【0149】その後、フレキシブルプリント配線板（図示しない）を異方性導電膜（図示しない）により接着して、アクティブマトリクス型液晶表示装置が完成する。

【0150】アクティブマトリクス基板の画素電極を透明導電膜にすれば、本実施例の工程により透過型の液晶表示装置も作製することができる。透過型の液晶表示装置ではセルギャップはリタデーションの関係及び強誘電性液晶の螺旋構造を抑制する目的から1.0~2.5

[μm]とすることが望ましい。

【0151】[実施例6]本発明の液晶表示装置は、その画素部に記憶回路を複数有するため、1つの画素を構成する素子の数が通常の画素よりも多くなる。よって、透過型の液晶表示装置の場合、開口率の低下による輝度不足が考えられることから、本発明は、反射型の液晶表示装置に適用されるのが望ましい。本実施例において、作成工程の一例を示す。

【0152】実施例4に従い、図19(A)に示すアクティブマトリクス基板（図12(A)と同様）を作成する。続いて、第3の層間絶縁膜5201として、樹脂膜を形成した後、画素電極部にコンタクトホールを開口し、反射電極5202を形成する。反射電極5202としては、Al、Agを主成分とする膜、あるいはそれらの積層膜等の、反射性に優れた材料を用いることが望ましい。

【0153】一方、対向基板5054を用意する。対向基板5054には、本実施例においては対向電極5205をパターンニングして形成している。対向電極5205は、透明導電膜として形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物からなる材料を用いることが出来る。

【0154】特に図示していないが、カラー液晶表示装置の作成の際には、カラーフィルタ層を形成する。このとき、隣接した色の異なるカラーフィルタ層を重ねて形成し、TFT部分の遮光膜を兼ねる構成とすると良い。

【0155】その後、アクティブマトリクス基板および対向基板に、配向膜5203および5204を形成し、ラビング処理を行う。

【0156】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤5206で貼り合わせる。シール剤5206にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5207を注入し、封止剤（図示せず）によって完全に封止する。液晶材料5207には公知の液晶材料を用いれば良い。このようにして図19(B)に示す反射型の液晶表示装置が完成する。

【0157】なお、本実施例においては、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウエハ等、ガラス基板以外のものを使用することも可能である。

【0158】また、画素の半分を反射電極、残る半分を透明電極とした、半透過型の表示装置として作成する場合にも、本発明は容易に適用することが出来る。

【0159】[実施例7]実施例1~実施例3にて示した、本発明の液晶表示装置の画素部においては、記憶回路としてスタティック型メモリ（Static RAM : SRA M）を用いて構成していたが、記憶回路はSRAMのみ

に限定されない。本発明の液晶表示装置の画素部に適用可能な記憶回路には、他にダイナミック型メモリ（Dynamic RAM：DRAM）等があげられる。本実施例においては、それらの記憶回路を用いて回路を構成する例を紹介する。

【0160】図8（A）は、画素に配置された記憶回路A1～A3およびB1～B3にDRAMを用いた例を示している。基本的な構成は、実施例1で示した回路と同様である。記憶回路A1～A3およびB1～B3に用いたDRAMに関しては、一般的な構成のものを用いれば良い。本実施例では、構成の簡単な、インバータおよび容量によって構成したものを用いて図示している。

【0161】ソース信号線駆動回路の動作は、実施例1と同様である。ここで、SRAMと異なり、DRAMの場合、一定期間ごとに記憶回路への再書き込み（以後、この動作をリフレッシュと表記する）が必要であるため、リフレッシュ用TFT801～803を有する。リフレッシュは、静止画を表示している期間（記憶回路に記憶されたデジタル映像信号を繰り返し読み出して表示を行っている期間）のあるタイミングで、リフレッシュ用TFT801～803をそれぞれ導通させ、画素部における電荷を、記憶回路側にフィードバックすることによって行われる。

【0162】さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ（Ferroelectric RAM：FeRAM）を利用して本発明の液晶表示装置の画素部を構成することも可能である。FeRAMは、SRAMやDRAMと同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の液晶表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【0163】[実施例8]本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【0164】このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図15および図16に示す。

【０１６５】図１５（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６から構成されている。本発明は表示部２６０４に適用することができる。

【0166】図15(B)はビデオカメラであり、本体2611、表示部2612、音声入力部2613、操作スイッチ2614、バッテリー2615、受像部261

6から成っている。本発明は表示部2612に適用することができる。

【０１６７】図１５（Ｃ）はモバイルコンピュータあるいは携帯型情報端末であり、本体２６２１、カメラ部２６２２、受像部２６２３、操作スイッチ２６２４、表示部２６２５で構成されている。本発明は表示部２６２５に適用することができる。

【０１６８】図１５（Ｄ）はヘッドマウントディスプレイであり、本体２６３１、表示部２６３２、アーム部２６３３で構成される。本発明は表示部２６３２に適用することができる。

【０１６９】図１５（Ｅ）はテレビであり、本体２６４１、スピーカー２６４２、表示部２６４３、受信装置２６４４、増幅装置２６４５等で構成される。本発明は表示部２６４３に適用することができる。

【0170】図15(F)は携帯書籍であり、本体2651、表示部2652、記憶媒体2653、操作スイッチ2654、アンテナ2655から構成されており、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部2652に適用することができる。

【０１７１】図１６（Ａ）はパーソナルコンピュータであり、本体２７０１、画像入力部２７０２、表示部２７０３、キーボード２７０４で構成される。本発明は表示部２７０３に適用することができる。

【0172】図16(B)はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2711、表示部2712、スピーカ部2713、記録媒体2714、操作スイッチ2715で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2712に適用することができる。

【０１７３】図１６（Ｃ）はデジタルカメラであり、本体２７２１、表示部２７２２、接眼部２７２３、操作スイッチ２７２４、受像部（図示しない）で構成される。本発明は表示部２７２２に適用することができる。

【０１７４】図１６（Ｄ）は片眼のヘッドマウントディスプレイであり、表示部２７３１、バンド部２７３２で構成される。本発明は表示部２７３１に適用することができる。

【発明の効果】各画素の内部に配置された複数の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。よって、液晶表示装置全体の低消費電力化に大きく貢献することが出来る。

【図面の簡単な説明】

【図 1】 複数の記憶回路を内部に有する本発明の画素の回路図。

【図 2】 本発明の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 3】 本発明の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の記憶回路を内部に有する本発明の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される画素の詳細な回路図。

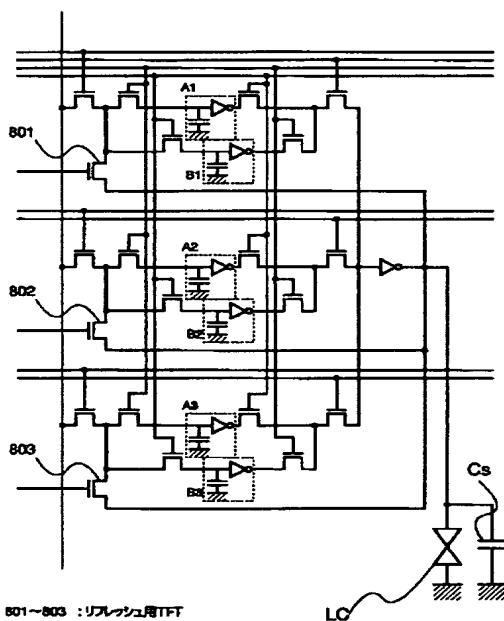
【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 記憶回路にダイナミック型メモリを用いる場合の本発明の画素の詳細な回路図。

【図 9】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 10】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 8】



【図 11】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 12】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 13】 従来の液晶表示装置の全体の回路構成を簡略に示す図。

【図 14】 従来の液晶表示装置のソース信号線駆動回路の回路構成例を示す図。

【図 15】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 16】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

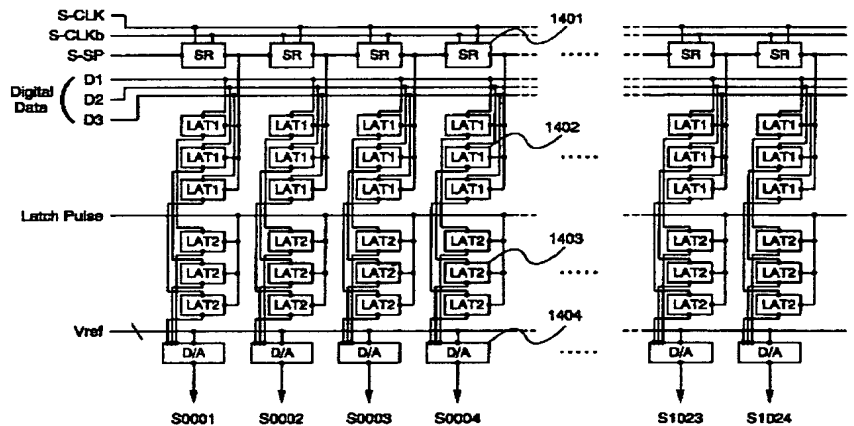
【図 17】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 18】 図 17 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

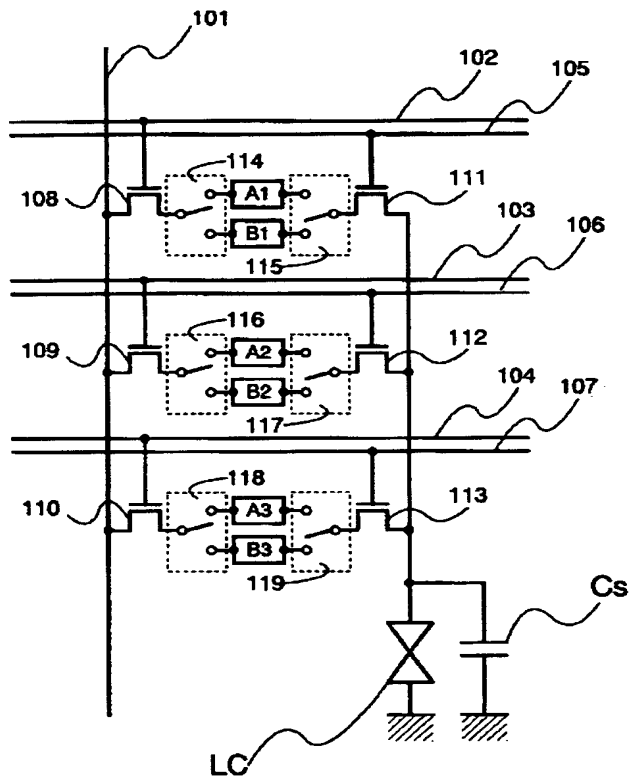
【図 19】 反射型液晶表示装置の作成工程例を示す図。

【図 20】 図 5 のソース信号線駆動回路によって駆動される画素の回路図。

【図 14】

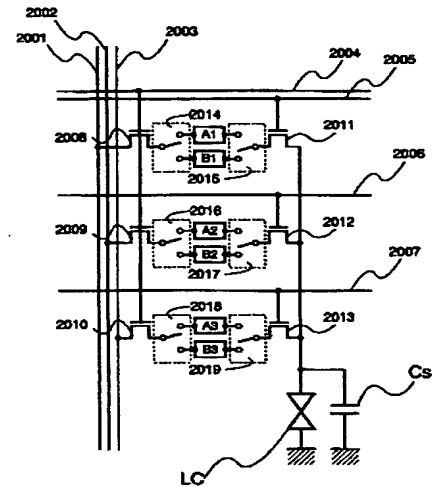


【図 1】



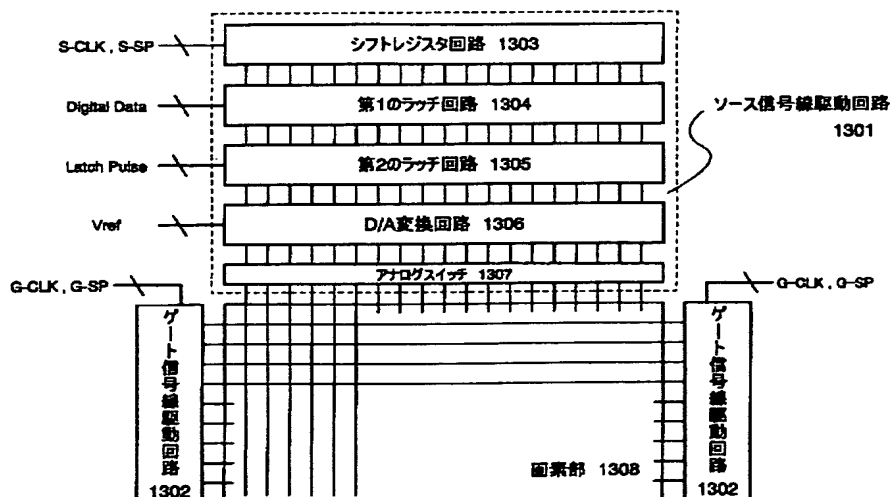
- 101 : ソース信号線  
 102~104 : 書き込み用ゲート信号線  
 105~107 : 読み出し用ゲート信号線  
 108~110 : 書き込み用TFT  
 111~113 : 読み出し用TFT  
 114, 116, 118 : 書き込み用記憶回路選択部  
 115, 117, 119 : 読み出し用記憶回路選択部

【図 20】

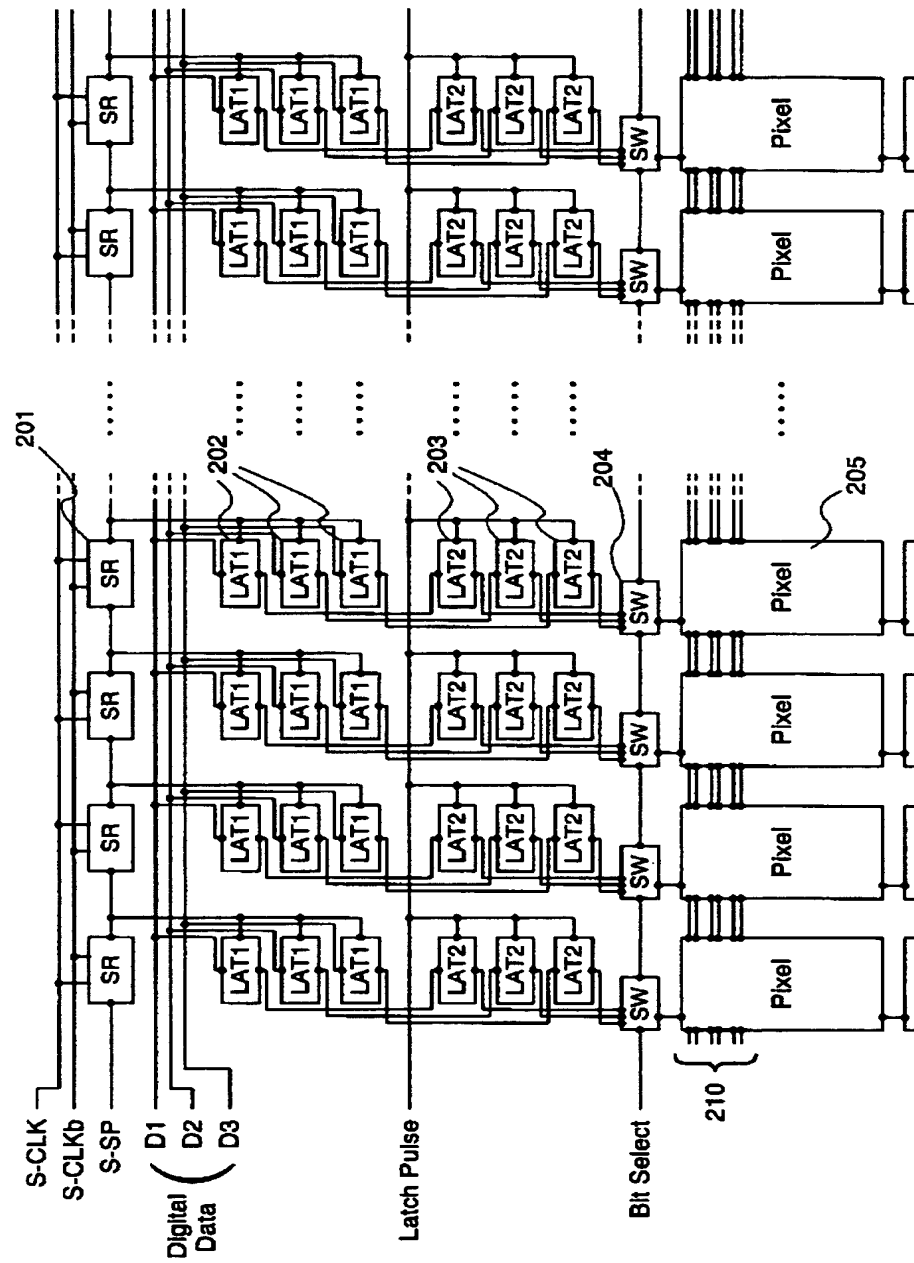


- 2001~2003 : ソース信号線  
 2004 : 書き込み用ゲート信号線  
 2005~2007 : 読み出し用ゲート信号線  
 2008~2010 : 書き込み用TFT  
 2011~2013 : 読み出し用TFT  
 2014, 2016, 2018 : 書き込み用記憶回路選択部  
 2015, 2017, 2019 : 読み出し用記憶回路選択部

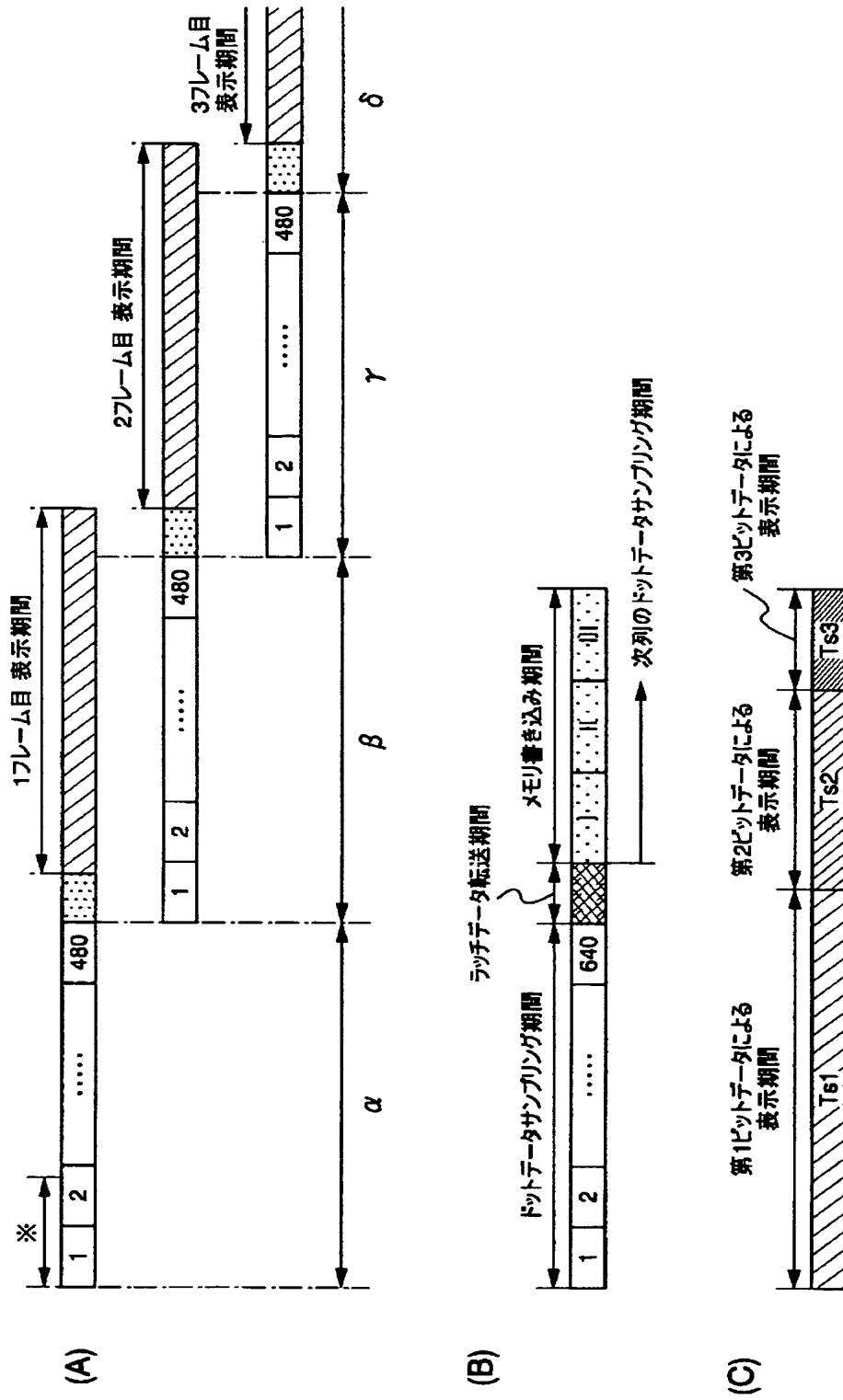
【図 13】



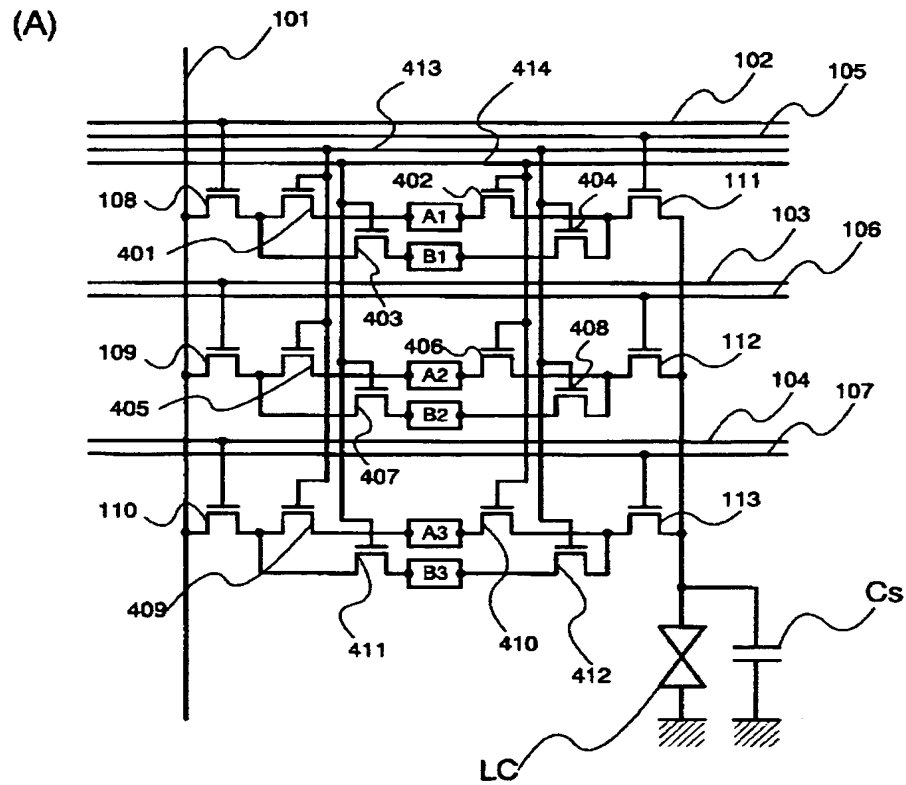
【図 2】



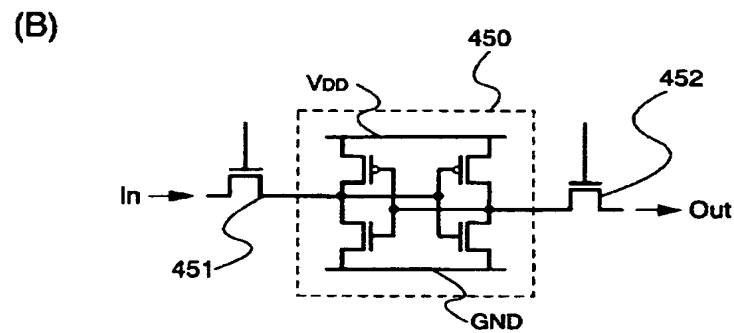
【図 3】



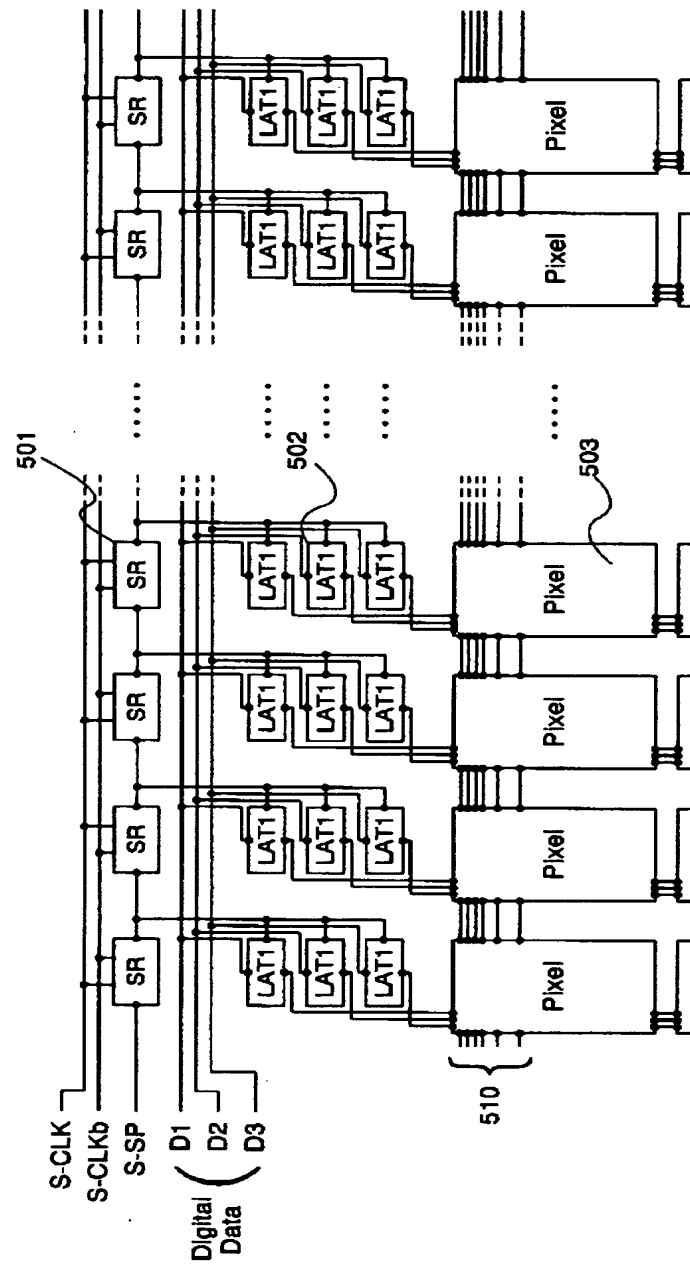
【図4】



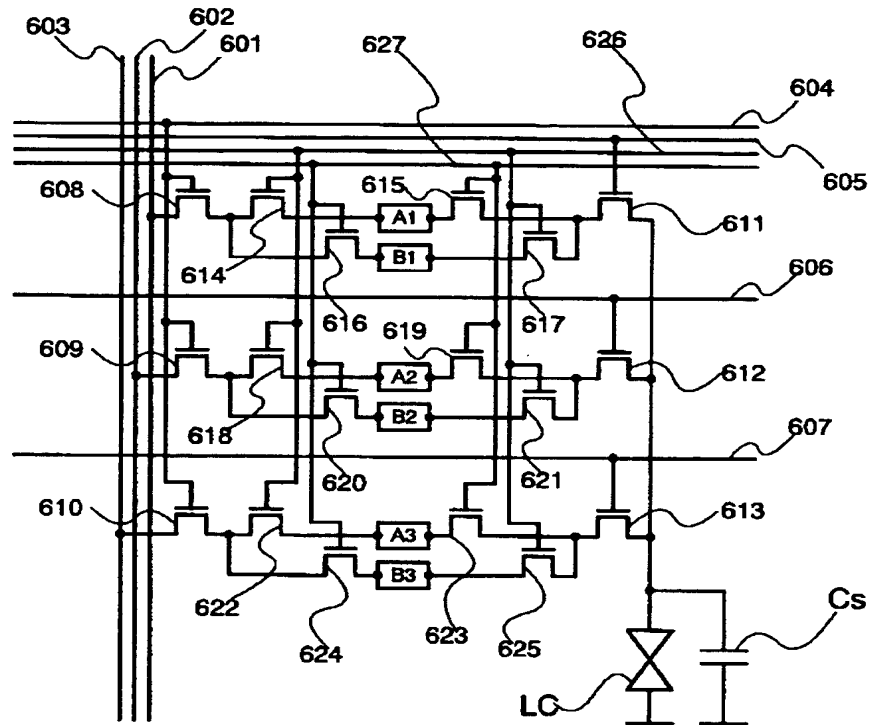
401, 403, 405, 407, 409, 411 : 書き込み選択用TFT  
 402, 404, 406, 408, 410, 412 : 読み出し選択用TFT  
 413, 414 : 記憶回路選択信号線



【図 5】

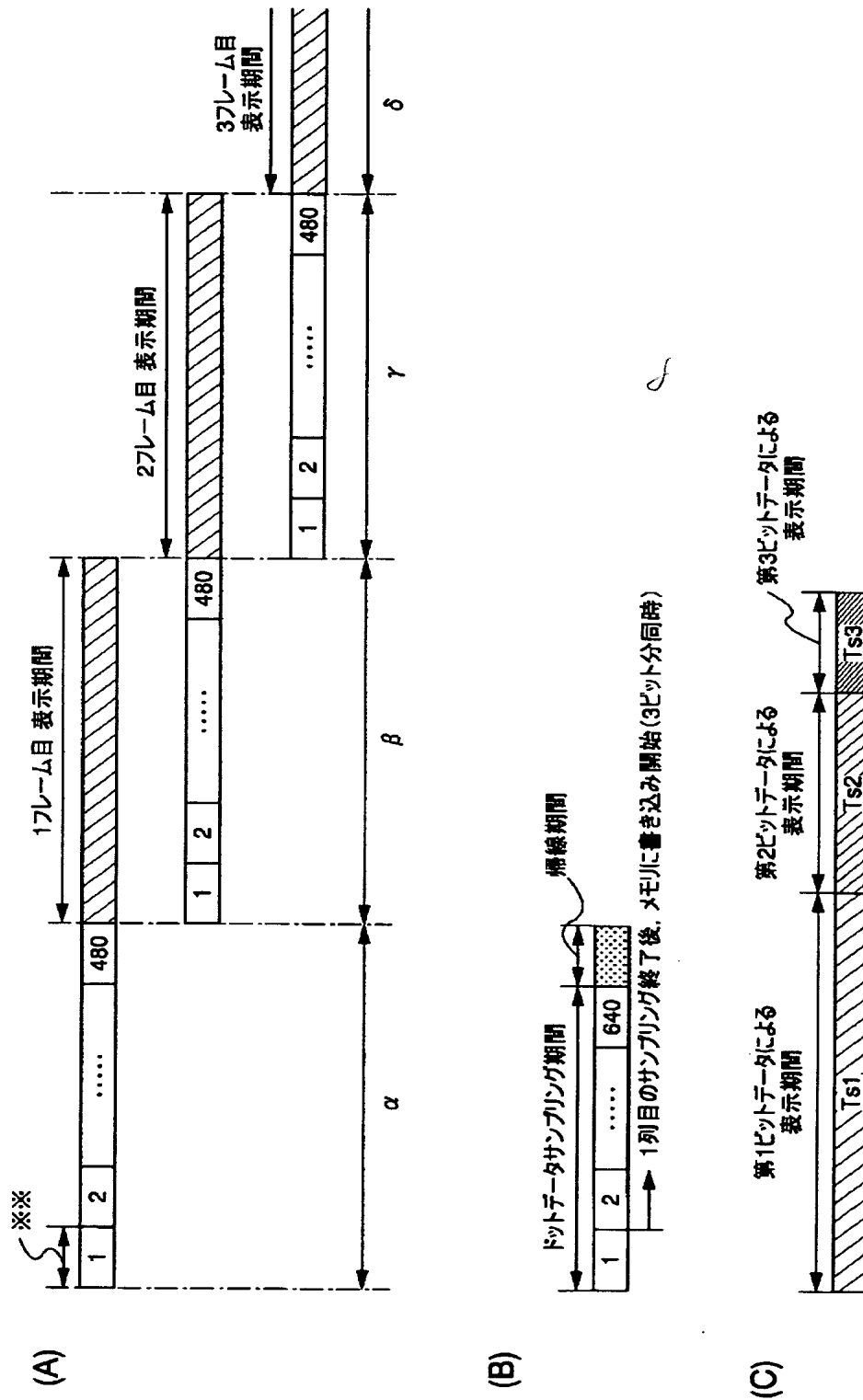


【図 6】

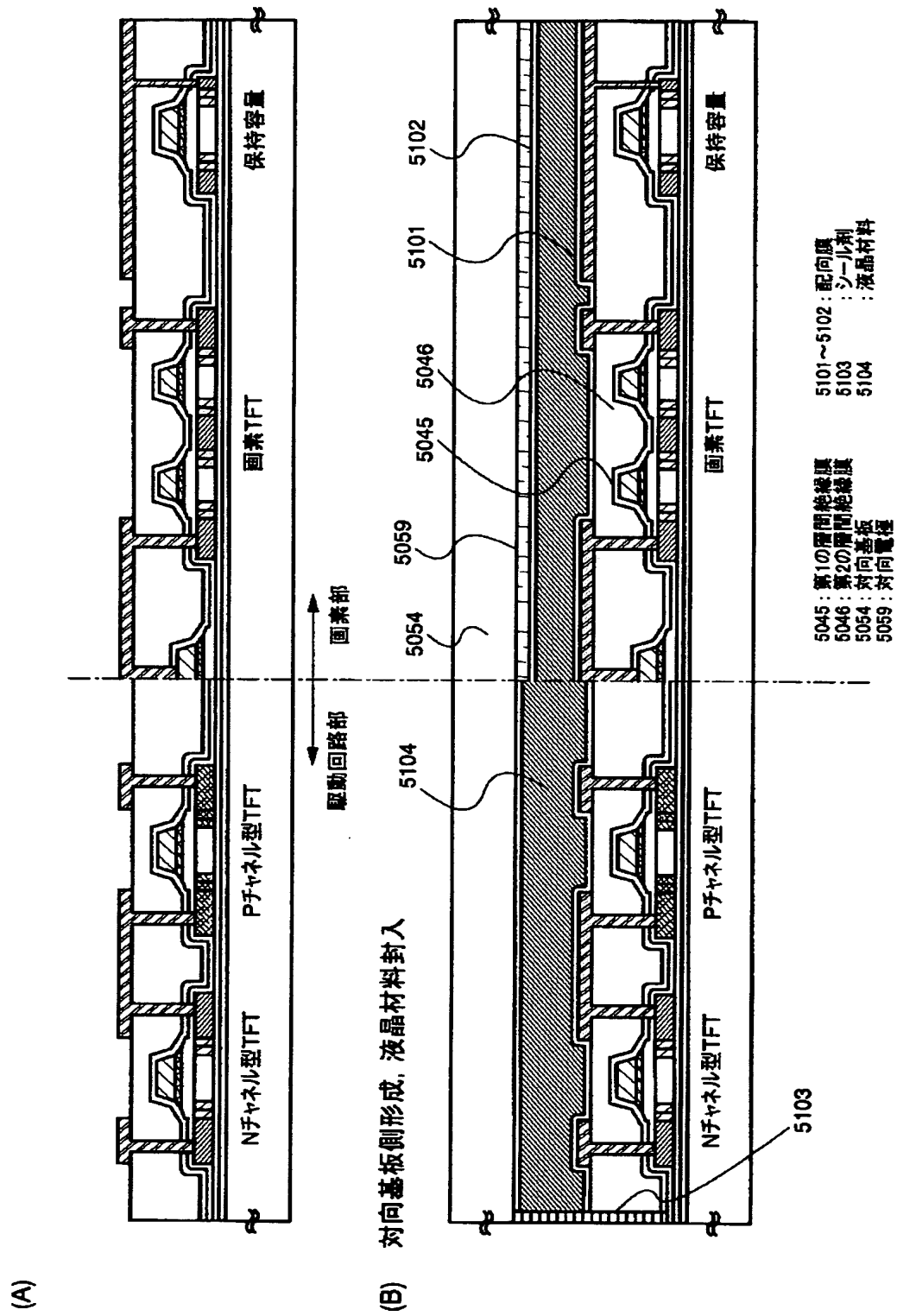


- |                              |               |
|------------------------------|---------------|
| 601~603                      | : ソース信号線      |
| 604                          | : 書き込み用ゲート信号線 |
| 605~607                      | : 読み出し用ゲート信号線 |
| 608~610                      | : 書き込み用TFT    |
| 611~613                      | : 読み出し用TFT    |
| 614, 616, 618, 620, 622, 624 | : 書き込み選択用TFT  |
| 615, 617, 619, 621, 623, 625 | : 読み出し選択用TFT  |
| 626, 627                     | : 記憶回路選択信号線   |

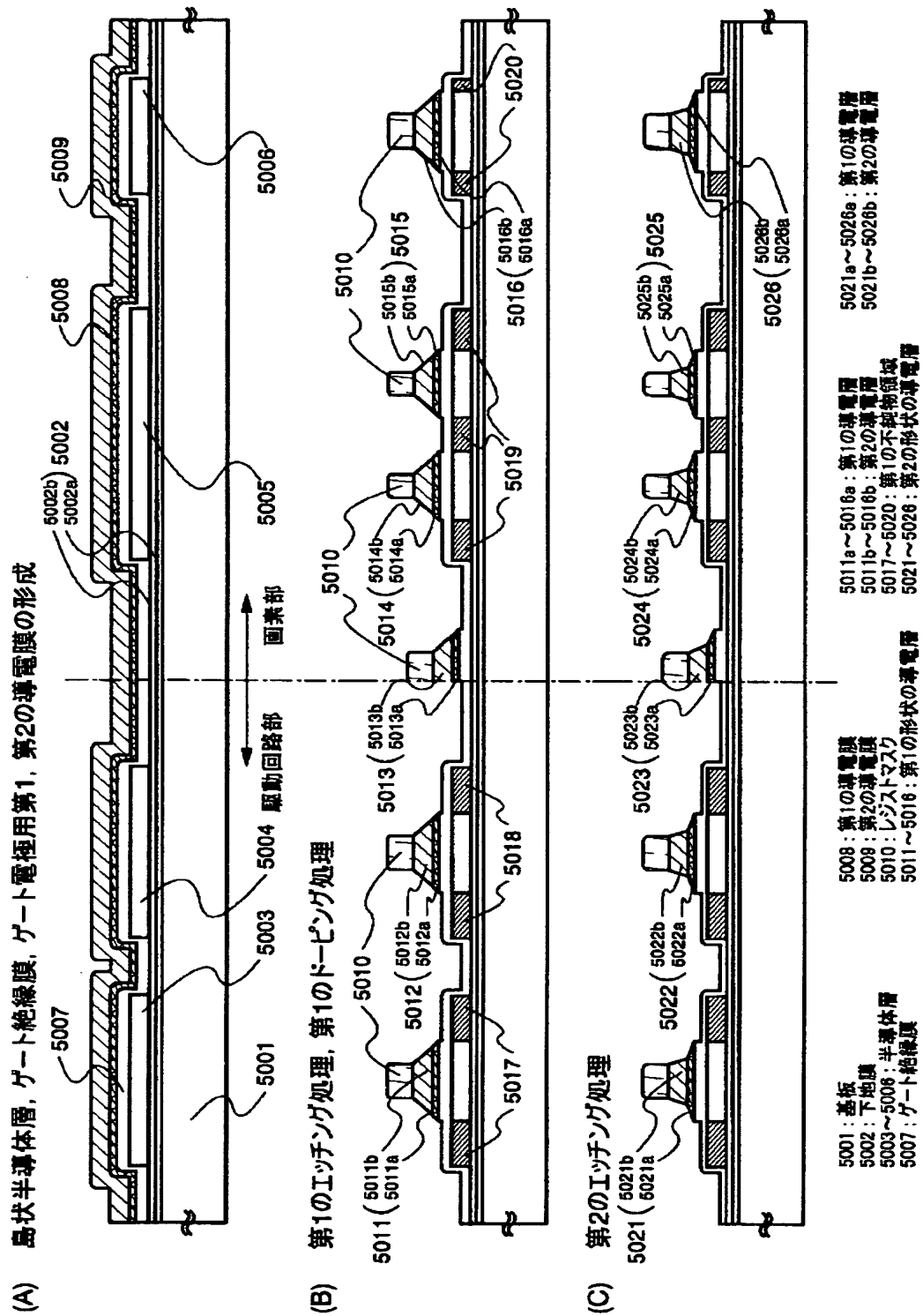
【図7】



【図9】

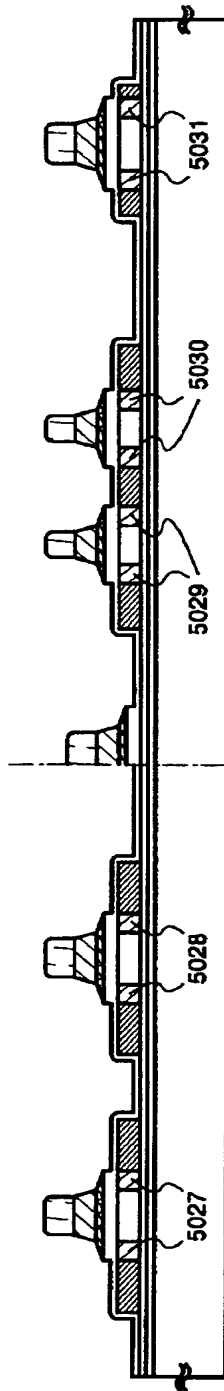


【図 10】

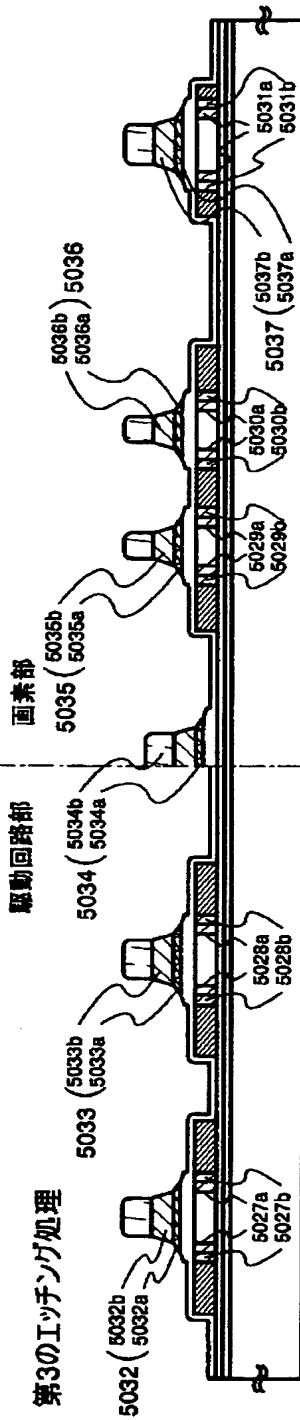


【図11】

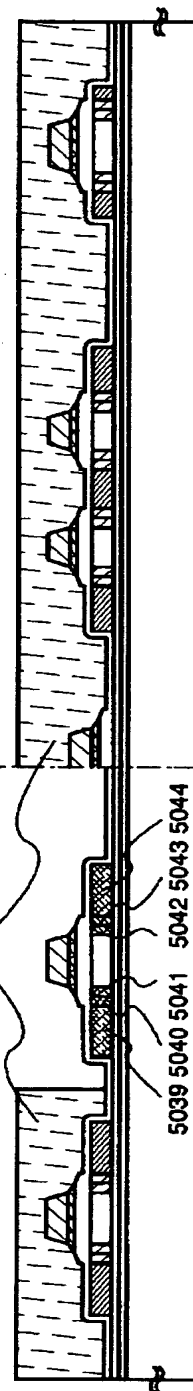
(A) 第2のドーピング処理



(B) 第3のエッチング処理



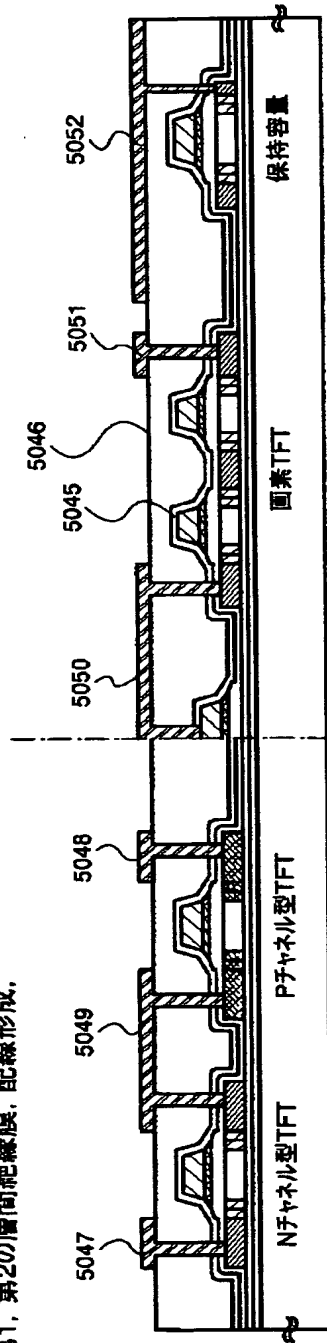
(C) 第3のドーピング処理



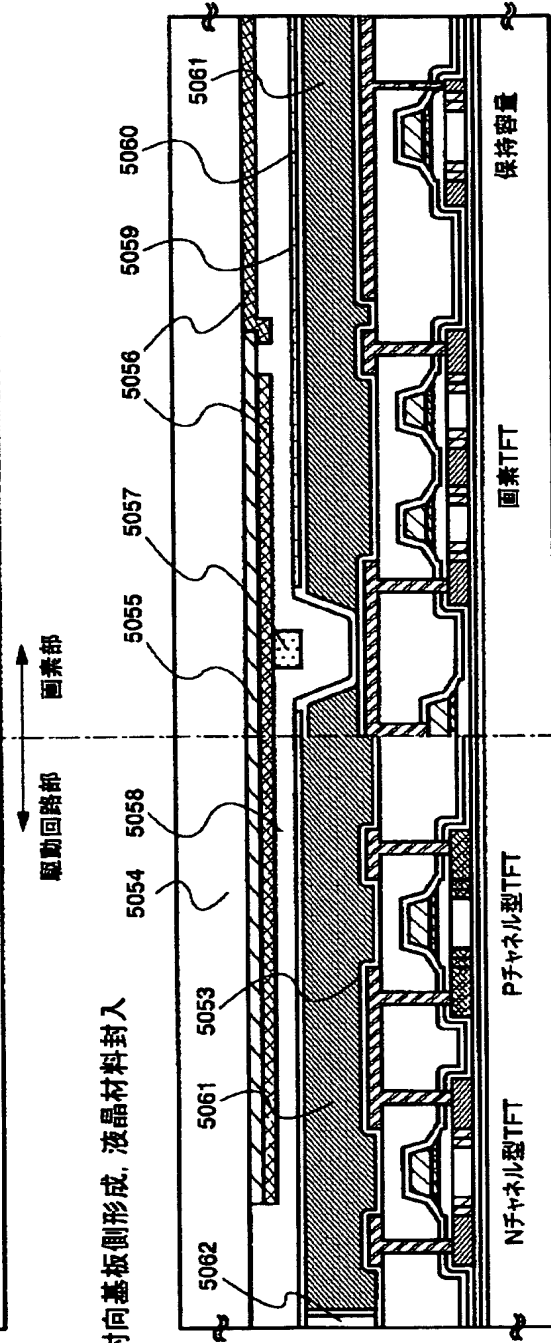
5027~5031 : 第2の不純物領域(エッチング前)  
 5027a~5031a : 第2の不純物領域(エッチング後)  
 5027b~5031b : 第3の不純物領域  
 5032~5037 : 第3の形状の導電層  
 5032a~5037a : 第1の導電層  
 5032b~5037b : 第2の導電層  
 5038 : レジストマスク  
 5039~5044 : 第4の不純物領域

【図 12】

(A) 第1, 第2の層間絶縁膜, 配線形成,

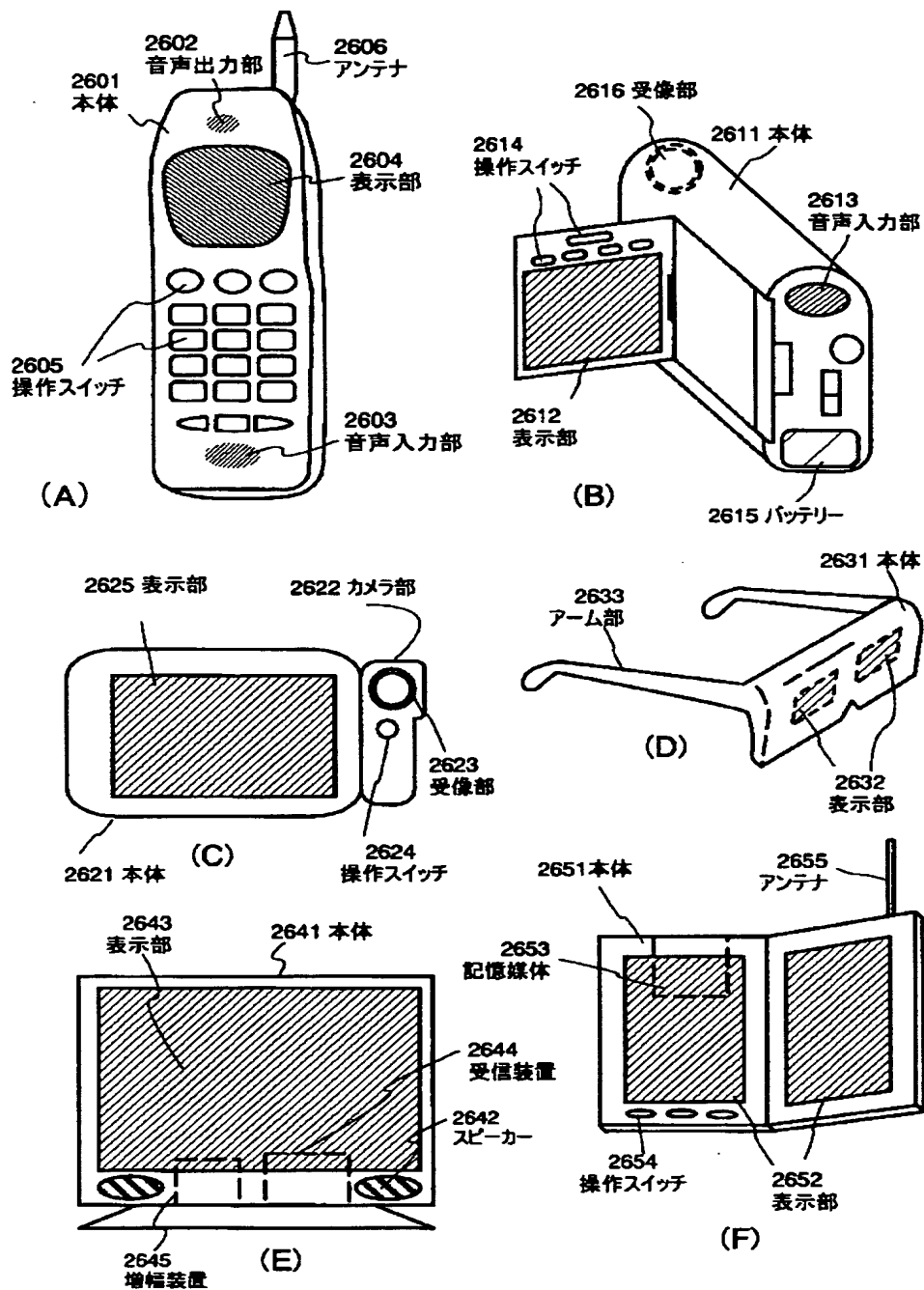


(B) 対向基板側形成, 液晶材料封入

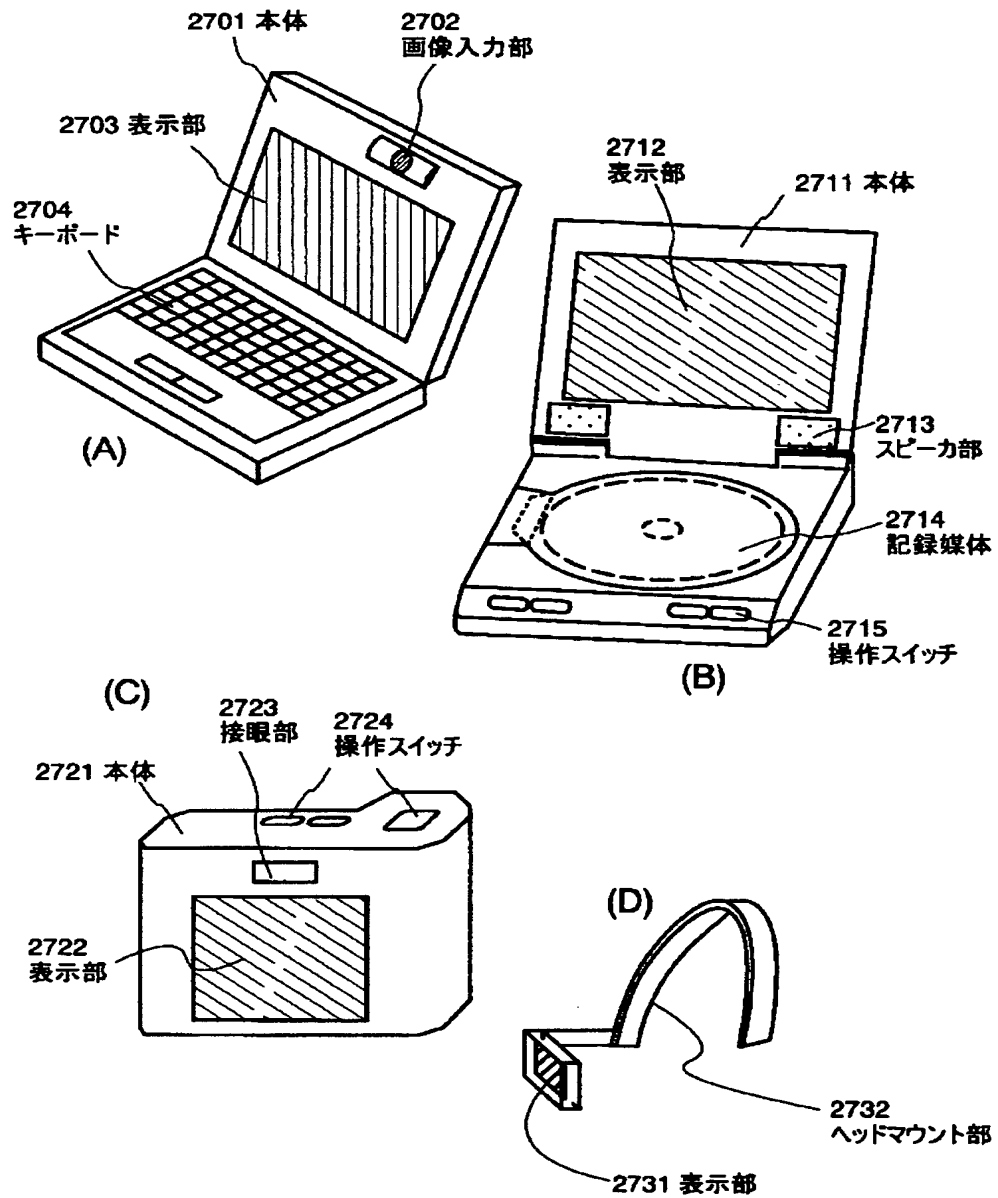


5045 : 第1の層間絶縁膜  
 5046 : 第2の層間絶縁膜  
 5047~5048 : ソース配線  
 5049 : ドレイン配線  
 5050 : 接続電極  
 5051~5052 : 画素電極  
 5053 : 配向膜  
 5054 : 対向基板  
 5055~5057 : カラーフィルタ層  
 5058 : オーバコート層  
 5059 : 対向電極  
 5060 : 配向膜  
 5061 : 液晶材料  
 5062 : シール剤

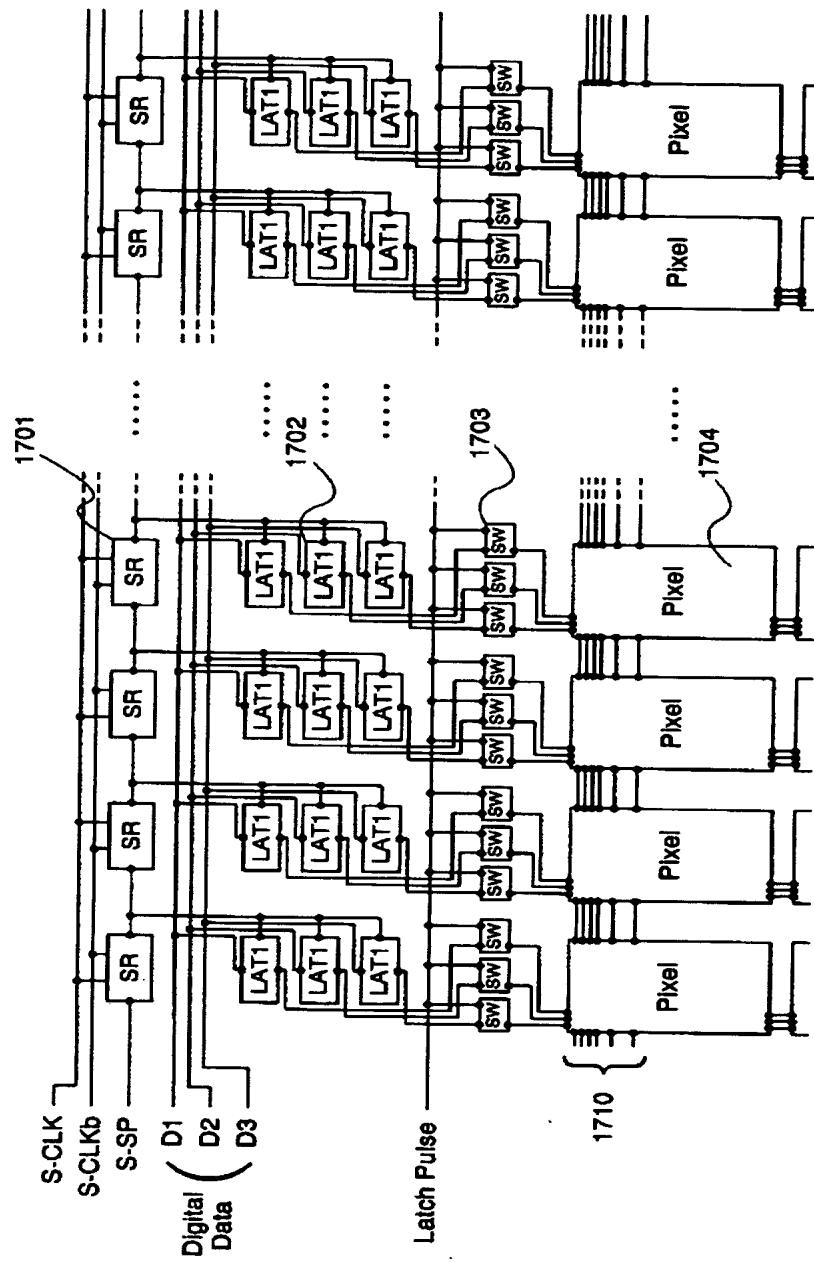
【図 15】



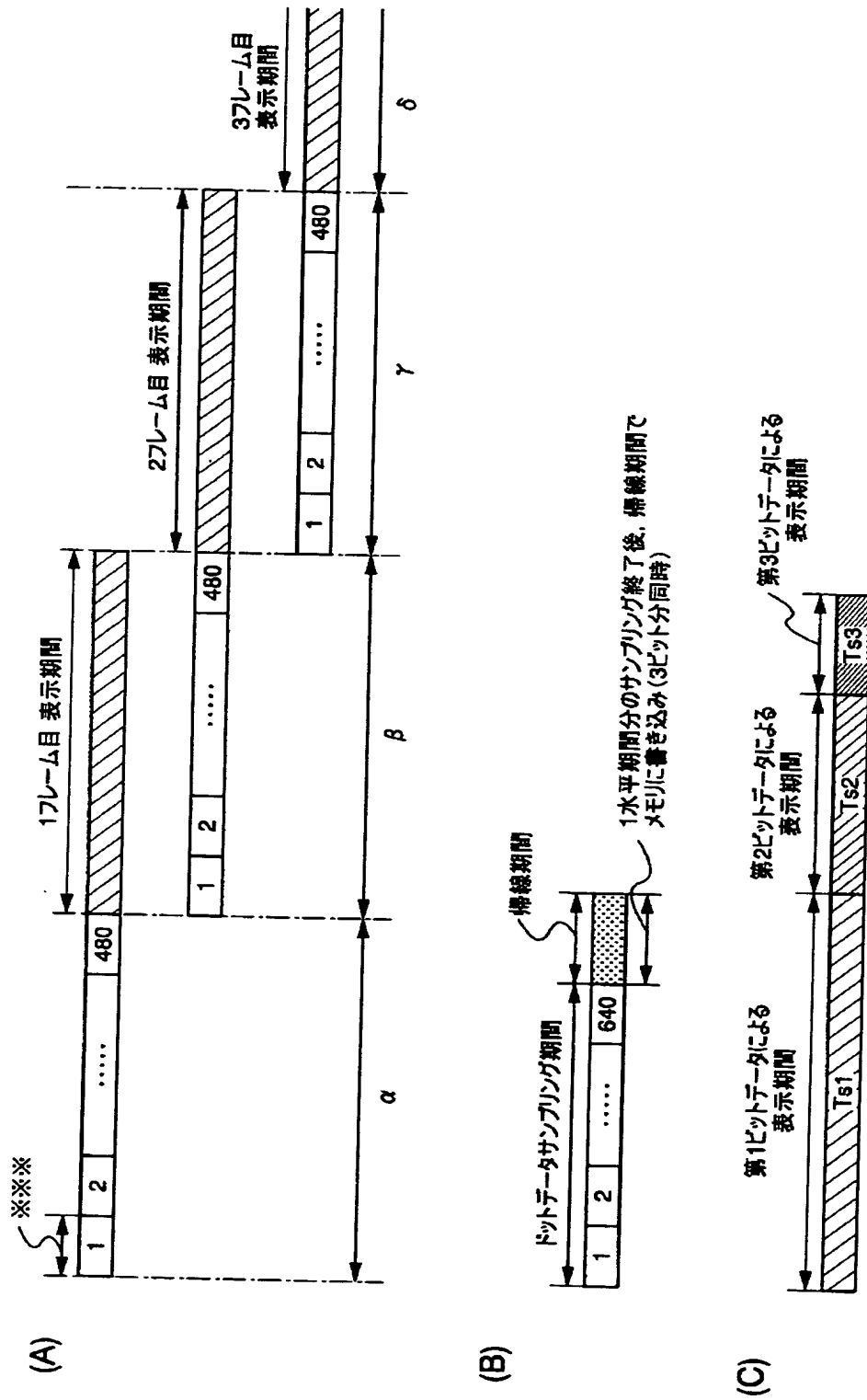
【図 16】



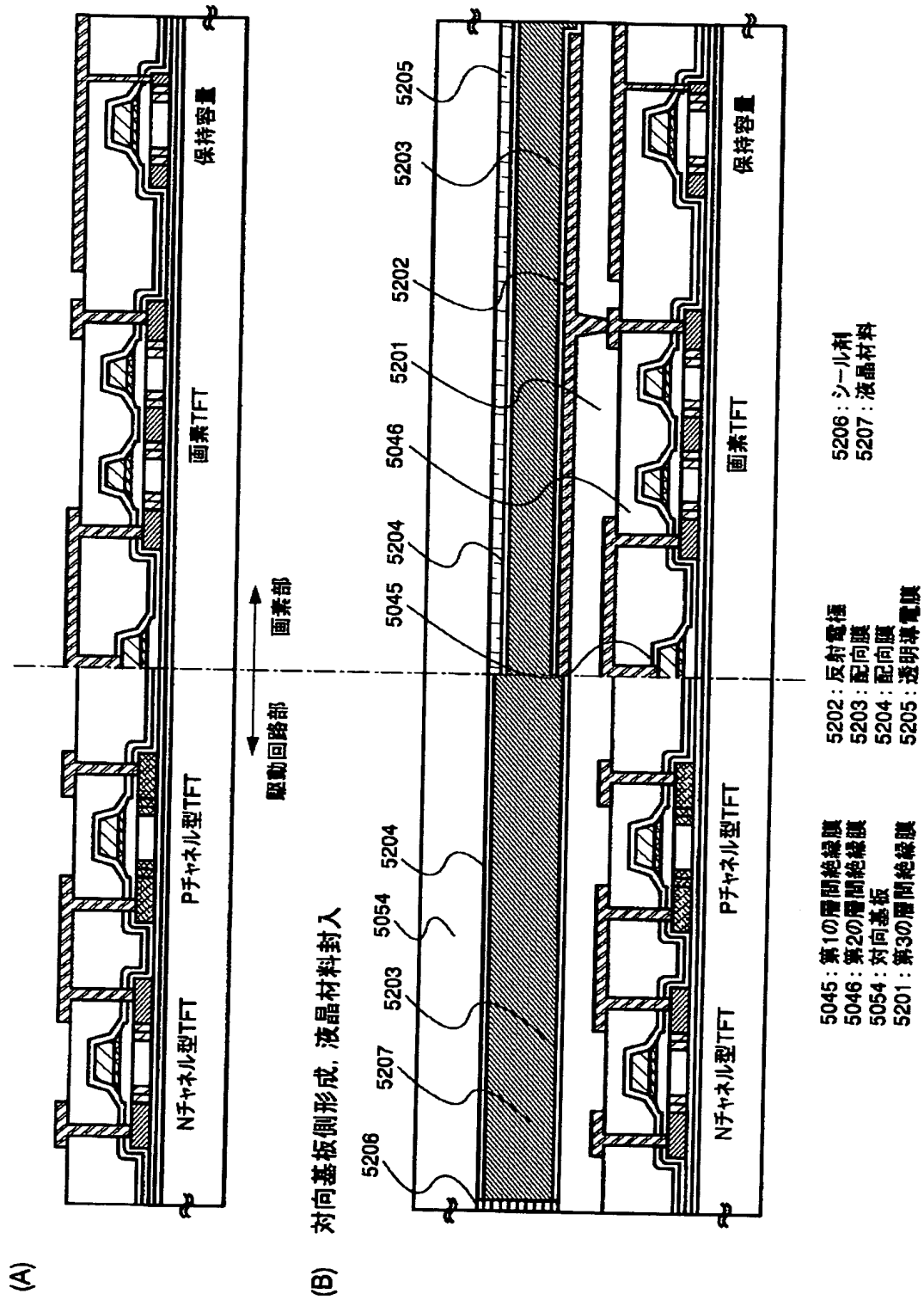
【図 17】



【図18】



【図19】



## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 G
	6 2 4		6 2 4 B

F ターム (参考) 2H093 NC22 NC23 NC26 NC28 NC34  
 ND39 NE01  
 5C006 AA11 AC11 AF03 AF04 AF06  
 AF44 AF69 BB16 BC12 BF02  
 BF24 FA47  
 5C080 AA10 BB05 DD26 EE26 EE29  
 FF11 GG15 GG17 JJ02 JJ03  
 JJ06 KK02 KK07 KK43 KK47  
 5C094 AA22 AA51 AA54 AA56 BA03  
 BA09 BA43 CA19 DA09 DA13  
 DB01 DB02 DB04 EA04 EA05  
 EA10 EB02 EB04 EB05 FB12  
 FB14 FB15 FB16 GA10 GB10  
 HA08 HA10 JA20